EXPRESS MAIL NO. EV 339769662 US

DATE OF DEPOSIT 7/14/04

Our File No. 10125/4141
Client Reference No. F03-391US001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Jae-Deok Park et al.

Serial No. To Be Assigned

Filing Date: Herewith

For: TRANSFLECTIVE LIQUID CRYSTAL DISPLAY AND METHOD OF FABRICATING THE SAME

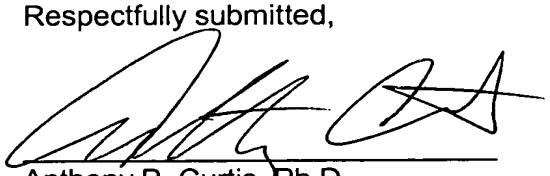
CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Applicant(s) claim, under 35 U.S.C. § 119, the benefit of priority of the filing date of June 11, 2003 a Korean patent application, Patent Application Number 2003-0037416, filed on the aforementioned date, the entire contents of which is incorporated herein by reference. Applicant(s) also claim, under 35 U.S.C. § 119, the benefit of priority of the filing date of June 11, 2003 a Korean patent application, Patent Application Number 2003-0037416, filed on the aforementioned date, the entire contents of which is incorporated herein by reference.

Respectfully submitted,



Anthony P. Curtis, Ph.D.
Registration No. 46,193
Agent for Applicant

BRINKS HOFER GILSON & LIONE
P.O. BOX 10395
CHICAGO, ILLINOIS 60610
(312) 321-4200

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0037416
Application Number

출 원 년 월 일 : 2003년 06월 11일
Date of Application JUN 11, 2003

출 원 인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

2004 년 03 월 18 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2003.06.11
【발명의 명칭】 반사투과형 액정표시장치용 어레이기판 및 그 제조방법
【발명의 영문명칭】 An array substrate for transflective LCD and method for fabricating of the same
【출원인】
【명칭】 엘지 .필립스엘시디(주)
【출원인코드】 1-1998-101865-5
【대리인】
【성명】 정원기
【대리인코드】 9-1998-000534-2
【포괄위임등록번호】 1999-001832-7
【발명자】
【성명의 국문표기】 박재덕
【성명의 영문표기】 PARK,JAE DEOK
【주민등록번호】 671228-1079519
【우편번호】 718-831
【주소】 경상북도 칠곡군 석적면 남율리 우방 신천지 타운 111동 1001호
【국적】 KR
【발명자】
【성명의 국문표기】 정훈
【성명의 영문표기】 JEOUNG,HUN
【주민등록번호】 720825-1347619
【우편번호】 718-830
【주소】 경상북도 칠곡군 석적면 우방 신천지 아파트 107-403
【국적】 KR
【발명자】
【성명의 국문표기】 홍순광
【성명의 영문표기】 HONG,SOON KWANG
【주민등록번호】 701201-1785812

【우편번호】 702-850

【주소】 대구광역시 북구 읍내동 1369-7 202호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
정원기 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	47	면	47,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	33	항	1,165,000 원
【합계】	1,241,000 원		

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 액정표시장치에 관한 것으로 특히, 개구율을 개선하기 위한 반사투과형 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명에 따른 반사투과형 액정표시장치는 투과부와 반사부에서 동일한 광학적효율을 얻기 위해, 어레이기판의 투과부와 대응하여 식각홀을 형성하는 구조에 있어서, 상/하/좌/우로 이웃한 화소를 하나의 단위셀로 정의하고 상기 각 화소에 구성되는 투과부가 단위셀의 중앙부에 위치하도록 구성한다.

즉, 단위셀의 중심에 대응하여 하나의 식각홀을 구성함으로서, 단위셀 내에 구성된 각 화소의 투과부는 반사부와 소정의 높이로 단차지게 구성될 수 있다.

전술한 바와 같은 구성은, 각 화소의 모서리부에 투과부가 위치함으로서 개구영역으로 사용할 수 없었던 투과부와 반사부의 경계영역이 일부 제거되는 결과가 되므로 표시영역을 확장할 수 있어 고개구율을 구현할 수 있다.

또한, 투과부에 대응하는 식각홀이 큰 면적으로 설계되었기 때문에, 종래와 비교하여 러빙불량을 방지할 수 있으므로 투과특성을 개선할 수 있는 장점이 있다.

【대표도】

도 7

【명세서】

【발명의 명칭】

반사투과형 액정표시장치용 어레이기판 및 그 제조방법{An array substrate for transflective LCD and method for fabricating of the same}

【도면의 간단한 설명】

도 1과 도 2는 일반적인 반사투과형 액정표시장치의 구성을 개략적으로 도시한 분해 사시도 및 평면도이고,

도 3은 종래의 제 1 예에 따른 반사투과형 액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 4는 종래의 제 2 예에 따른 반사투과형 액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 5는 종래에 따른 반사투과형 액정표시장치용 어레이기판의 한 화소를 도시한 확대 평면도이고,

도 6은 도 5의 K를 확대한 단면도이고,

도 7은 본 발명의 제 1 실시예에 따른 반사투과형 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,

도 8은 도 7의 S를 확대한 평면도이고,

도 9a 내지 도 9e와 도 10a 내지 도 10e와 도11a 내지 도 11e는 도 8의Ⅲ-Ⅲ`와 도 7의 Ⅳ-Ⅳ`와 Ⅴ-Ⅴ`를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이고,

도 12는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 평면도이고,

도 13은 도 12의 S를 확대한 평면도이고,

도 14a 내지 도 14f와 도 15a 내지 도 15f와 도 16a 내지 도 16f는 도 13의 VI-VI`와 도 12의 VII-VII`,VIII-VIII`을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이고,

도 17은 본 발명의 제 3 실시예의 제 1 예에 따른 반사투과형 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,

도 18은 본 발명의 제 3 실시예의 제 2 예에 따른 반사투과형 액정표시장치용 어레이기판의 평면도이고,

도 19는 비정질 박막트랜지스터를 포함하는 본 발명에 따른 반사투과형 액정표시장치의 일부를 도시한 확대 단면도이고,

도 20은 다결정 박막트랜지스터를 포함하는 본 발명에 따른 반사투과형 액정표시장치의 일부를 도시한 확대 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 기판 102 : 게이트 배선

106 : 스토리지 배선 126 : 반사판

130 : 투명한 화소 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 액정표시장치(liquid crystal display device)에 관한 것으로, 특히 반사모드(reflect mode)와 투과모드(transmit mode)를 선택적으로 사용할 수 있고, 반사부와 투과모드에 대응하여 동일한 광학적 효율을 얻을 수 있는 동시에, 고개구율에 따른 고휘도를 구현할 수 있는 반사투과형 액정표시장치용 어레이기판의 구성 및 제조방법에 관한 것이다.

<22> 일반적으로, 반사투과형 액정표시장치는 투과형 액정표시장치와 반사형 액정표시장치의 기능을 동시에 지닌 것으로, 백라이트(back light)의 빛과 외부의 자연광원 또는 인조광원을 모두 이용할 수 있으므로 주변환경에 제약을 받지 않고, 전력소비(power consumption)를 줄일 수 있는 장점이 있다.

<23> 이하, 도 1과 도 2를 참조하여, 일반적인 반사투과형 액정표시장치에 관해 설명한다.

<24> 도 1은 일반적인 반사투과형 액정표시장치의 구성을 개략적으로 도시한 사시도이고, 도 2는 도1의 평면도이다.

<25> 도시한 바와 같이, 반사투과형 액정표시패널(10)은 액정층(95)을 사이에 두고, 다수의 화소(P)가 정의된 상부 기판(80)과 하부 기판(60)이 이격 하여 구성된다.

<26> 상기 상부 기판(80)의 일면에는 서브 컬러필터(82)와, 서브 컬러필터(82)사이에 존재하는 블랙매트릭스(84)를 포함하는 컬러필터(90)와 투명한 공통전극(86)이 적층되어 구성된다.

<27> 상기 하부 기판(60)의 화소영역(P)에는 반사 전극(또는 반사판)(66)과 투명전극(64)으로 구성된 반투과 전극과, 스위칭 소자(T)가 구성되고, 화소영역(P)의 일 측과 이에 평행하지 않은 타측을 지나가는 게이트 배선(61)과 데이터 배선(62)이 형성된다.

<28> 상기 화소 영역(P)은 투과부(B)와 반사부(D)로 정의되며, 상기 반사 전극(66)은 반사부(D)에 대응하여 구성되고, 상기 투명전극(64)은 투과부(B)에 대응하여 구성된다. 이때, 상기 반사 전극(66)은 반사율이 뛰어난 알루미늄(Al)또는 알루미늄합금으로 구성되며, 상기 투명 전극(64)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 구성된다.

<29> 이하, 도 3을 참조하여, 종래의 제 1 예에 따른 반사투과형 액정표시장치의 구성을 설명한다.

<30> 도 3은 도 1의 Ⅱ-Ⅱ`를 따라 절단한 종래의 제 1 예에 따른 반사투과형 액정표시장치의 구성을 개략적으로 도시한 단면도이다.

<31> 도시한 바와 같이, 제 1 기판(60)과 제 2 기판(80)이 액정층(95)을 사이에 두고 이격하여 합착되고, 제 2 기판(80)과 제 1 기판(60)에는 다수의 화소영역(P)이 정의된다.

<32> 상기 제 1 기판(60)에 정의된 화소 영역(P)의 일 측과 이와는 평행하지 않은 타 측을 지나 서로 수직하게 교차하는 게이트 배선(도 1의 61)과 데이터 배선(62)이 구성된다.

<33> 상기 제 1 기판(60)과 마주보는 제 2 기판(80)의 일면에는 적색과 녹색과 청색을 띄는 서브 컬러필터(미도시,82a,82b)와 각 서브컬러 필터 사이에는 블랙매트릭스(84)가 구성되고, 상기 서브 컬러필터(미도시,82a,82b)와 블랙매트릭스(84)의 하부에는 투명한 공통 전극(86)이 구성된다.

<34> 전술한 구성에서, 상기 화소 영역(P)은 다시 반사부(D)와 투과부(B)로 나누어진다.

<35> 일반적으로, 반사부(D)에 대응하여 반사 전극(64)을 형성하고 투과부(B)에 대응하여 투명 전극(66)을 형성하게 되는데 일반적으로는, 투과홀(H)을 포함하는 반사 전극(64)을 투명 전극(66)의 상부 또는 하부에 구성함으로서, 투과부(B)와 반사부(D)가 정의되도록 하기도 한다.

<36> 이때, 반사 투과형 액정표시장치에서 고려되어야 할 부분은 투과부(B)와 반사부(D)에서의 색차를 줄이는 동시에, 투과부(B)와 반사부(D)에서의 광학적 효율을 동일하게 하는 것이다.

<37> 이러한 관점에서 보면, 상기 반사부(D)를 통과하는 빛은 외부에서 입사되어 상기 반사판(64)에 반사되어 다시 외부로 출사하게 된다.

<38> 따라서, 상기 컬러필터를 두 번 통과하게 되고, 액정셀갭이 d라면 2d의 거리를 통과하게 되는 셈이다.

<39> 그러므로, 반사부(D)의 액정층(95)을 통과할 때 빛이 느끼는 위상지연값은 $2d\Delta n$(n은 액정의 굴절률)이고, 투과부(B)의 액정층(95)을 통과할 때 빛이 느끼는 위상지연값은 $d\Delta n$이다.

<40> 결과적으로, 상기 반사부(D)와 투과부(B)에 대응한 빛의 위상지연값이 다르기 때문에 반사부(D)와 투과부(B)에서 동일한 광학적 효율을 얻을 수 없다.

<41> 이를 해결하기 위한 방법으로, 종래에는 상기 투과부(B)에 대응하여 단차를 형성하는 방법으로 투과부(B)와 반사부(D)에 대응하는 액정셀의 두께비가 2d:d가 되도록 하는 구성이 제안되었다.

<42> 이하, 도 4를 참조하여 설명한다.

<43> 도 4는 도 1의 Ⅱ-Ⅱ`를 따라 절단하여, 종래의 제 2 예에 따라 도시한 반사투과형 액정표시장치의 구성을 개략적으로 도시한 단면도이다.

<44> 도시한 바와 같이, 제 1 기판(60)과 제 2 기판(80)이 액정층(95)을 사이에 두고 이격하여 합착되고, 제 2 기판(80)과 마주보는 제 1 기판(60)에는 다수의 화소 영역(P)이 정의된다.

<45> 상기 화소 영역(P)의 일 측과 이와는 평행하지 않은 타 측을 지나 서로 수직하게 교차하는 게이트 배선(미도시)과 데이터 배선(62)이 구성된다.

<46> 상기 제 1 기판(60)과 마주보는 제 2 기판(80)의 일면에는 적색과 녹색과 청색을 띄는 서브 컬러필터(미도시,82a,82b)와 각 서브컬러 필터 사이에는 블랙매트릭스(84)가 구성되고, 상기 서브 컬러필터(미도시,82a,82b)와 블랙매트릭스(84)의 하부에는 투명한 공통전극(86)이 구성된다.

<47> 전술한 구성에서, 상기 화소 영역(P)은 다시 반사부(D)와 투과부(B)로 나누어진다.

<48> 일반적으로, 반사부(D)에 대응하여 반사전극(64)을 구성하고 투과부(B)에 대응하여 투명전극(66)을 형성하게 되는데 일반적으로는, 투과홀(H)을 포함하는 반사전극(64)을 투명전극(66)의 상부 또는 하부에 구성함으로서, 투과부(B)와 반사부(D)가 정의되도록 하기도 한다.

<49> 종래의 제 2 예는 전술한 구성에서, 상기 투과부(B)에 대응하는 하부의 절연막(63)을 식각하여 식각홀(61)을 형성하는 것을 특징으로 한다.

<50> 이러한 구성은, 상기 투과부(B)와 반사부(D)에 대응하는 액정층의 두께(액정셀갭)를 2d:d의 비로 구성할 수 있도록 하여, 투과부와 반사부에서의 위상 지연값을 $2d\Delta n$으로 동일하게 할 수 있다. 또한, 상기 반사부의 반사효율을 개선하기 위해 도시하지는 않았지만 반사부에 대응하는 반사판을 요철형상으로 구성할 수도 있다.

<51> 그러나, 상기 종래의 제 2 예의 구성은 투과부(B)와 반사부(D)의 경계에 대응하여 빛샘현상(disclination)이 발생하는 단점을 가진다.

<52> 이하, 도 5와 도 6을 참조하여 설명한다.

<53> 도 5는 종래에 따른 반사투과형 액정표시장치용 어레이기판을 구성하는 한 화소를 확대한 평면도이다. 도 6은 도 5의 K를 나타낸 확대 단면도이다.

<54> 도시한 바와 같이, 기판(60)상에 일 방향으로 게이트 배선(61)이 연장 형성되고, 이와는 수직하게 교차하는 방향으로 데이터 배선(62)이 형성된다.

<55> 상기 두 배선(61,62)의 교차로 정의되는 영역을 화소 영역(P)이라 하며, 두 배선(61,62)의 교차지점에는 게이트 전극(70)과 액티브층(72)과 소스 전극(74)과 드레인 전극(76)을 포함하는 박막트랜지스터(T)가 구성된다.

<56> 상기 화소 영역(P)은 반사부(D)와 투과부(B)로 정의되고, 상기 반사부(D)에 대응하여 반사전극(66)이 투과부(B)에 대응하여 투명전극(64)이 구성된다.

<57> 전술한 구성에서 앞서 설명한 바와 같이, 상기 투과부(B)와 반사부(D)에 대응하여 동일한 광학적 효율을 얻기 위해, 투과부(B)에 대응하여 하부기판(60)에 식각홀(미도시)을 형성하는데, 상기 식각홀에 의해 상기 투과부(B)와 반사부(D)의 경계(K)에 대응하여 단차가 존재하게 되고, 이러한 단차에 의해 디스클리네이션(disclination area)영역(F)이 발생하게 된다.

<58> 이때, 도 6에 도시한 바와 같이, 디스클리네이션 영역(F)은 단차의 기울어진 부분(F1)과 이것에서 소정의 각으로 꺽여 연장된 일부(F2)에 해당한다.

<59> 상기 단차의 높이를 d라 하고 단차의 높이와 단차의 기울어진 면이 이루는 각 $\Theta=50^{o}$라 가정하면, 단차의 기울어진 면이 이루는 길이(F1), $F1=d/\tan\Theta \fallingdotseq 1.7\mu m$의 값으로 계산되고, F2는 일반적으로 1.5㎛정도가 된다.

<60> 결과적으로, 총 3.2㎛의 폭으로 디스클리네이션 영역(F)이 나타나게 된다.

<61> 따라서, 디스클리네이션 영역의 면적(A), $A=2x(L+W)x3.2\mu m^2$으로 계산된다.

<62> (이때, L은 투과부(B)의 길이, W는 투과부(B)의 폭을 나타낸다. 도 4참조)

<63> 상기 디스클리네이션 영역(F)은 투과홀이 커질수록 커지게 되고, 10%가까운 개구율의 손실을 유발하게 된다.

<64> 따라서, 개구율 및 콘트라스트(contrast)의 감소를 유발한다.

<65> 또한, 전술한 바와 같이, 투과부가 반사부의 중앙에 구성되면, 투과부에 대응하는 상기 식각홀의 면적이 작기 때문에 러빙 공정의 어려움이 따르고 이에 따라 양호한 투과특성을 확보하기 힘들다. 또한, 작은 면적의 반사영역에서 반사율을 향상하기 위해 구성하는 요철패턴의 배치도 상당히 어려움이 많아 충분한 반사특성을 확보하기 힘들다.

【발명이 이루고자 하는 기술적 과제】

<66> 본 발명은 전술한 문제를 해결하기 위한 목적으로 제안된 것으로, 상/하/좌/우로 이웃한 화소를 하나의 단위셀로 정의하고, 단위셀 내에 구성된 각 화소의 투과부는 서로 근접하게 위치하도록 모서리 방향으로 치우쳐 구성한다.

<67> 즉, 단위셀의 중심부에 거대한 투과부가 위치한 형상이 되도록 하며, 상기 투과부에 대응하여 하나의 식각홀을 형성한다.

<68> 전술한 바와 같은 구성을 통해 개구율을 개선할 수 있고, 투과부에서 안정된 공정 마진을 확보하는 것이 가능하여 러빌불량 방지에 따른 투과특성을 개선할 수 있는 장점이 있다.

【발명의 구성 및 작용】

<69> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 반사투과형 액정표시장치용 어레이기판은 기판 상에 수직하게 교차하여 다수개의 단위셀을 정의하는 게이트 배선과 데이터 배선과; 상기 단위 셀에 상/하/좌/우로 이웃하게 구성되고, 각각은 반사부와 투과부로 구성된 다수의 화소에 있어서, 상기 투과부는 각 화소에 구성되는 동시에, 상기 단위셀의 중앙부에 위치한 다수의 화소와; 상기 게이트 배선과 데이터 배선의 교차점에 위치하고 단위셀 내의 각 화소마다 구성된 박막트랜지스터와; 상기 게이트 배선과 데이터 배선 및 박막트랜지스터가 구성된 기판의 전면에 위치하고, 상기 단위셀 내의 투과부에 대응하여 식각홀이 구성된 보호막과; 상기 보호막 상부의 반사부에 구성된 반사판과; 상기 박막트랜지스터와 접촉하고 상기 각 화소에 대응하여 구성된 투명한 화소전극을 포함한다.

<70> 상기 식각홀은 상기 단위셀 내의 투과부에 대응하여 하나로 형성됨을 특징으로 한다.

<71> 상기 반사판은 상기 박막트랜지스터와 접촉하여 구성될 수 있다.

<72> 상기 박막트랜지스터는 상기 게이트 배선과 연결된 게이트 전극과, 비정질 액티브층과, 상기 데이터배선과 연결된 소스 전극과 이와는 소정간격 이격된 드레인 전극을 포함한다.

<73> 상기 단위셀 내에 상/하로 구성된 화소의 이격 영역 사이에, 상기 게이트 배선과 평행한 방향으로 구성된 스토리지 배선을 포함하는데, 스토리지 배선은 십자 형상으로 변형될 수 있다.

<74> 상기 스토리지 배선을 제 1 전극으로 하고, 스토리지 배선의 상부에 위치한 투명한 화소전극을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 구성된 것을 특징으로 한다.

<75> 상기 박막트랜지스터는 비정질 액티브층을 대신하여 다결정 액티브층을 사용할 수 있으며, 이와 같은 경우에는 공정 상, 상기 스토리지 배선의 하부에 다결정 실리콘 패턴을 형성하여 다결정 실리콘 패턴을 제 1 전극으로 하고, 상기 스토리지 배선을 제 2 전극으로 하는 스토리지 캐패시터를 형성할 수 있다.

<76> 본 발명의 특징에 따른 반사투과형 액정표시장치용 어레이기판 제조방법은 기판 상에 수직하게 교차하여 다수개의 단위셀을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와; 상기 단위 셀에 상/하/좌/우로 이웃하게 구성되고, 각각은 반사부와 투과부로 구성된 화소를 정의하는 단계에 있어서, 상기 투과부는 각 화소에 구성되는 동시에 상기 단위셀의 중앙부에 위치하도록 화소를 정의하는 단계와; 상기 게이트 배선과 데이터 배선의 교차점에 박막트랜지스터를 형성하는 단계와; 상기 게이트 배선과 데이터 배선 및 박막트랜지스터가 구성된 기판의 전면에, 상기 단위셀 내의 투과부에 대응하여 식각홀을 포함하는 보호막을 형성하는 단계와; 상기 보호막 상부의 반사부에 대응하여 반사판을 형성하는 단계와; 상기 박막트랜지스터와 접촉하고, 상기 화소에 대응하여 투명한 화소전극을 형성하는 단계를 포함한다.

<77> 본 발명의 특징에 따른 반사투과형 액정표시장치는 서로 이격 하여 구성된 제 1 기판과 제 2 기판과; 상기 제 1 기판의 일면에 수직하게 교차하여 다수개의 단위셀을 정의하는 게이트 배선과 데이터 배선과; 상기 단위 셀에 상/하/좌/우로 이웃하게 구성되고, 각각은 반사부와 투과부로 구성된 화소에 있어서, 상기 투과부는 각 화소에 구성되는 동시에, 상기 단위셀의 중앙부에 위치한 다수의 화소와; 상기 게이트 배선과 데이터 배선의 교차점에 위치하고 단위셀내의 각 화소마다 구성된 박막트랜지스터와; 상기 게이트 배선과 데이터 배선 및 박막트랜지스터가 구성된 기판의 전면에 위치하고, 상기 단위셀 내의 투과부에 대응하여 식각홀이 구성된 보호막과; 상기 보호막 상부의 반사부에 구성된 반사판과; 상기 박막트랜지스터와 접촉하고 상기 화

소에 대응하여 구성된 투명한 화소전극과; 상기 제 1 기판과 마주보는 제 2 기판의 일면에 상기 박막트랜지스터에 대응하여 구성된 블랙매트릭스와;

<78> 상기 블랙매트릭스가 구성된 기판의 일면에, 상기 각 화소에 대응하여 순차적으로 구서오딘 적색과 녹색과 청색의 컬러필터와; 사익 컬러필터가 구성된 기판의 전면에 구성된 투명한 공통전극을 포함한다.

<79> 이하, 첨부한 도면을 참조하여 바람직한 실시예들을 설명한다.

<80> -- 제 1 실시예 --

<81> 본 발명의 제 1 실시예는 상/하/좌/우로 이웃한 화소를 하나의 단위셀로 정의하고, 단위셀 내에 구성된 각 화소의 투과부는 서로 근접하게 위치하도록 모서리 방향으로 치우쳐 구성하는 것을 특징으로 한다.

<82> 이하, 도 7과 도 8을 참조하여, 본 발명의 제 1 실시예에 따른 반사투과형 액정표시장치용 어레이기판의 구성을 설명한다.

<83> 도 7은 본 발명에 따른 반사투과형 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 확대 평면도이고, 도 8은 도 7의 S를 확대한 비정질 박막트랜지스터의 평면도이다.

<84> 도시한 바와 같이, 기판(100)상에 다수의 단위 셀(P)을 정의하되, 상기 단위 셀(P)내에는 상/하/좌/우로 이웃하고 투과부(B)와 반사부(D)로 구성된 화소(A1,A2,A3,A4)를 서로 근접하게 구성한다.

<85> 상기 단위 셀(P)의 상/하측에는 게이트 배선을 구성하고, 단위 셀(P)의 좌/우측에는 상기 게이트 배선(104)과 수직하게 교차하여 연장된 데이터 배선(118)을 구성한다. 단위셀(P) 내에는 상기 게이트 배선(104)과 데이터 배선(118)이 구성되지 않는 구조이다.

<86> 전술한 구성을 액정패널의 전체로 보면 각 단위 셀(P)사이에 두 개의 데이터 배선(118)과 두 개의 게이트 배선(104)이 각각 이웃하여 평행하게 이격 하여 구성된 형상이 된다.

<87> 상기 단위셀(P)내의 상하로 이웃한 화소(A1/A3,A2/A4)의 이격 공간에 스토리지 배선(106)을 구성하여, 스토리지 배선(106)을 제 1 전극으로 하고 이것과 겹쳐진 상부의 화소 전극(130)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})를 형성한다.

<88> 상기 스토리지 배선(106)이 구성된 위치는 종래의 차단막(미도시)이 위치한 부분에 대응되기 때문에, 스토리지 배선(106)에 의해 개구영역이 잠식되는 문제는 없다.

<89> 상기 게이트 배선(104)과 데이터 배선(118)의 교차지점에는 게이트 배선(104)과 연결된 게이트 전극(102)과, 게이트 전극(102) 상부의 비정질 액티브층(110)과, 액티브층(110)상부에 위치하고 상기 데이터 배선(118)과 연결된 소스 전극(114)과 이와는 소정간격 이격된 드레인 전극(116)을 포함하는 박막트랜지스터)(T)를 구성한다.

<90> 상기 각 화소(A1,A2,A3,A4)에는 상기 드레인 전극(116)과 접촉하는 반투과 화소전극(126,130)을 구성한다. 반투과 화소 전극(126,130)은 상기 게이트 배선(104)과 데이터 배선(118)의 일부 상부로 연장하여 구성한다.

<91> 전술한 구성에서 특징적인 것은, 단위셀(P) 내의 각 화소(A1,A2,A3,A4)에 구성되는 투과부(B)는 각 화소(A1,A2,A3,A4)의 중앙에 구성하지 않고, 한 화소의 투과부(B)의 일측이 각각 다른 화소의 일측과 겹쳐지도록 구성한 것을 특징으로 한다.

<92> 이와 같은 구성은 각 화소(A1,A2,A3,A4)마다 투과부(B)와 반사부(D)의 경계영역이 종래에 비해 1/2로 감소하는 결과를 얻을 수 있는 동시에, 상기 투과부에 대응하여 구성하는 식각

홀(미도시)을 상기 각 화소에 걸쳐 단위셀의 중앙부에 큰 면적으로 구성할 수 있기 때문에 투과부의 공정마진을 확보할 수 있다.

<93> 이와 같은 구성은, 투과부(D)와 반사부(B)의 경계영역이 감소하였으므로 그 만큼 개구영역을 확보할 수 있는 구조이다.

<94> 또한, 상기 투과부(B)를 넓게 구성하게 되기 때문에 종래와는 달리 이 부분에서 러빙공정이 원활히 진행되어 러빙 불량에 의한 투과특성 저하를 방지할 수 있는 장점이 있다.

<95> 또한, 각 화소(A1,A2,A3,A4)마다 구성되는 반투과전극(투과전극(130)과 반사전극(126))이 상기 데이터 배선 및 게이트 배선(118,102)의 일부 상부로 연장된 구성이므로, 개구영역을 더욱 확보할 수 있는 구조이다.

<96> 이하, 도 9a 내지 도 9e와 도 10a 내지 도 10e와 도 11a 내지 도 11e를 참조하여, 본 발명의 제 1 실시예에 따른 반사투과형 액정표시장치용 어레이기판의 제조공정을 설명한다.

<97> 도 9a 내지 도 9e와 도 10a 내지 도 10e와 도 11a 내지 도 11e는 도 8의 Ⅲ-Ⅲ`와 도 7의 Ⅳ-Ⅳ`, Ⅴ-Ⅴ`를 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(9a 내지 도 9e는 비정질 박막트랜지스터의 단면도이고, 도 10a 내지 도 10e는 서로 이웃한 화소를 게이트 배선과 평행한 방향으로 절단한 단면도이고, 도 11a 내지 도 11e는 서로 이웃한 화소를 게이트 배선과 수직한 방향으로 절단한 단면도이다.)

<98> 도 9a와 도 10a와 도 11a에 도시한 바와 같이, 기판(100)상에 투과부(B)와 반사부(D)로 구성된 다수의 화소(A1,도 7의 A2,A3,A4)를 정의하고 이때, 상/하/좌/우로 구성된 화소(A1,도 7의 A2,A3,A4)를 단위 셀(도 7의 P)로 정의한다.

<99> 상기 단위 셀(P)내에 구성된 각 화소(A1,A2,A3,A4)는 서로 근접하게 위치하며, 각 화소(A1,A2,A3,A4)의 투과부(D) 또한 서로 근접하여 위치하도록 구성한다. 이때, 상기 투과부(B) 또한 서로 이웃한 화소(A1/A3,A2/A4)와 근접하게 구성한다. 이러한 형상은 마치, 상기 단위 셀(도 7의 P)의 중앙부에 넓은 면적의 투과부(B)가 구성된 형상이 된다.

<100> 상기 다수의 단위 셀(도 7의 P)이 정의된 기판(100)상에 알루미늄계열의 금속을 증착하고 패턴하여, 상기 각 단위 셀(도 7의 P)을 구성하는 각 화소(A1,A2,A3,A4)마다 게이트 전극(102)과, 상기 게이트 전극(102)과 접촉하는 게이트 배선(104)을 형성하고, 상기 게이트 배선(104)과 평행하게 이격하여 스토리지 배선(106)을 형성한다.

<101> 이때, 상기 게이트 배선(104)은 단위 셀(도 7의 P)의 일 측과 이와 평행한 타측을 지나가도록 형성하고, 상기 스토리지 배선(106)은 상기 단위 셀(도 7의 P) 내에 상/하로 이웃한 화소(A1/A3)의 이격 영역에 형성한다.

<102> 이와 같은 구성은 이웃한 단위 셀(도 7의 P)사이에 두 개의 게이트 배선(104)이 서로 이웃하여 평행하게 이격된 형상이 된다.

<103> 전술한 구성에서, 상기 게이트 전극(102)과 게이트 배선(104)은 신호지연(signal delay)을 방지하기 위해 일반적으로 저 저항 금속인 알루미늄계열의 금속을 사용하지만, 이러한 금속은 화학적 물리적으로 안정성이 낮기 때문에 이를 보완하기 위한 버퍼금속층을 상기 알루미늄계열 금속의 상부에 적층하는 이중 금속층 구조로 형성할 수 도 있다.

<104> 다음으로, 상기 게이트 배선(104)과 게이트 전극(102)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(108)을 형성한다.

<105> 도 9b와 도 10b와 도 11b에 도시한 바와 같이, 상기 게이트 절연막(108)이 형성된 기판(100)의 전면에 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하고 패턴하여, 상기 게이트 전극(102)에 대응하는 게이트 절연막(108)상에 액티브층(110, active layer)과 오믹 콘택층(112,ohmic contact layer)을 형성한다.

<106> 다음으로, 상기 액티브층(110)과 오믹 콘택층(112)이 형성된 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 등을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 패턴하여, 상기 오믹 콘택층(112)의 상부에 이와 접촉하고 서로 이격된 소스 전극(114)과 드레인 전극(116)을 형성한다.

<107> 동시에, 상기 소스 전극(114)과 연결된 데이터 배선(118)을 상기 게이트 배선(104)과 수직한 방향으로 형성한다.

<108> 이때, 상기 데이터 배선(118) 또한, 단위 셀(도 7의 P)의 상부와 하부에 형성하며, 단위 셀(도7의 P)의 사이에 서로 근접하여 평행하게 이격된 형상으로 구성한다.

<109> 이와 같은 구성은, 상기 서로 교차하는 게이트 배선(104)과 데이터 배선(118)이 정의하는 영역 내에 4개의 화소가 구성된 형상이 된다.

<110> 전술한 공정이 완료되면 상기 소스 전극(114)과 드레인 전극(116)을 식각 방지막으로 하여, 두 전극(114,116) 사이의 오믹 콘택층(112)을 제거하는 공정을 진행하여, 하부의 액티브층(110)을 노출하는 공정을 진행한다.

<111> 도 9c와 도 10c와 도 11c에 도시한 바와 같이, 상기 소스 및 드레인 전극(114,116)과 데이터 배선(118)이 형성된 기판(100)의 전면에 제 1 보호막(120)을 형성한다.

<112> 상기 제 1 보호막(120)은 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 물질을 도포하여 형성한 유기막으로서, 필요한 두께의 보호막(120)을 얻기 위해 도포공정을 여러번 반복하여 진행할 수 도 있다.

<113> 또한, 상기 보호막(120)은 유기막의 하부에 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 물질을 증착하여, 무기 절연막을 더욱 형성 할 수도 있다.

<114> 다음으로, 상기 보호막(120)을 패턴하여 상기 드레인 전극(116)의 일부를 노출하는 드레인 콘택홀(122)과 상기 투과부(B)에 대응하여 식각홀(124)을 형성한다.

<115> 이때, 상기 식각홀(124)은 단위 셀(도 7의 P)의 중앙부에 위치하며, 근접하게 구성된 각 화소(A1,도 7의 A2,A3,A4)에 걸쳐 넓게 구성된 형상이 된다.

<116> 다음으로, 상기 드레인 콘택홀(122)과 식각홀(124)이 형성된 기판(100)의 전면에 알루미늄 및 알루미늄계열을 포함하는 반사율이 뛰어난 불투명한 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 반사부(D)에 대응하여 반사판(126)을 형성한다.

<117> 도 9d와 도 10d와 도 11d에 도시한 바와 같이, 상기 반사판(126)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 보호막(128)을 형성한다.

<118> 연속하여, 상기 제 2 보호막(128)을 패턴하여, 상기 드레인 콘택홀(122)에 대응하여 제 1 식각홀(H1)을 형성하여 하부의 드레인 전극(116)을 재차 노출하고, 상기 식각홀(124)에 대응하여 제 2 식각홀(H2)을 형성한다.

<119> 도 9e와 도 10e와 도 11e에 도시한 바와 같이, 상기 제 2 보호막(129)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하고 패턴하여, 상기 드레인 전극(116)과 접촉하면서 상기 화소(A1,도 7의 A2,A3,A4)에 위치한 투명한 화소전극(130)을 형성한다.

<120> 이때, 상기 화소 전극(130)은 상기 게이트 배선(104)과 데이터 배선(118)과 상기 스토리지 배선(106)의 상부로 연장하여 구성한다.

<121> 이러한 구성에서, 상기 스토리지 배선(106)을 제 1 전극으로 하고, 스토리지 배선(106) 상부의 화소 전극(130)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 형성된다.

<122> 전술한 바와 같은 공정을 통해 본 발명에 따른 반사투과형 액정표시장치용 어레이기판을 제작할 수 있다.

<123> 전술한 구성에서, 상기 반사판(126)은 상기 드레인 전극(116)과 접촉하여 구성할 수 있다.

<124> 이하, 제 2 실시예를 통해 제 1 실시예의 변형예를 설명한다.

<125> -- 제 2 실시예 --

<126> 본 발명의 제 2 실시예는 반사투과형 액정표시장치용 어레이기판에 구성되는 스위칭 소자로 다결정 박막트랜지스터를 사용하는 것을 특징으로 한다.

<127> 이하, 도 12와 도 13을 참조하여 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 구성을 설명한다.

<128> 도 12는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고, 도 13은 도 12의 S를 확대한 확대 평면도이다.

<129> 도시한 바와 같이, 기판(200)상에 다수의 단위 셀(P)을 정의하되, 상기 단위 셀(P)내에는 상/하/좌/우로 이웃하고 투과부(B)와 반사부(D)로 구성된 화소(A1,A2,A3,A4)를 서로 근접하게 구성한다.

<130> 상기 단위 셀(P)의 상/하측에는 게이트 배선(212)을 구성하고, 좌/우측에는 상기 게이트 배선(212)과 수직한 방향으로 연장된 데이터 배선(226)을 구성한다.

<131> 전술한 구성을 액정패널의 전체로 보면 각 단위 셀(P)사이에 두 개의 데이터 배선(226)과 두 개의 게이트 배선(212)이 각각 이웃하여 평행하게 이격된 형상이 된다.

<132> 상기 단위셀 내의 상하로 이웃한 화소(A1,A3)의 이격영역에 대응하여 TM토리지 배선(214)을 구성하며, 스토리지 배선(214)의 하부에는 각 화소(A1,A3)마다 독립적으로 다결정 실리콘패턴(204)을 성한다.

<133> 이와 같은 구성으로, 상기 다결정 실리콘 패턴(204)을 제 1 전극으로 하고 그 상부의 게이트 배선(212)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 형성된다.

<134> 상기 게이트 배선(212)과 데이터 배선(226)의 교차지점마다 상기 게이트 배선(212)과 연결된 게이트 전극(210)과, 게이트 전극(210)하부의 다결정 액티브층(202)과, 게이트 전극(210)상부에 위치하고 상기 데이터 배선(226)과 연결된 소스 전극(222)과 이와는 소정간격 이격된 드레인 전극(224)을 포함하는 다결정 박막트랜지스터(T)를 구성한다.

<135> 상기 화소(P)에는 상기 드레인 전극(224)과 접촉하는 반투과 화소전극(반사판(236), 투명전극(240))을 구성한다.

<136> 전술한 구성에서 특징적인 것은, 상기 서로 이웃한 화소(A1,A2,A3,A4)에 구성되는 상기 투과부(B)를 서로 근접하게 구성하는 것이다.

<137> 즉, 서로 이웃한 각 화소(A1,A2,A3,A4)에 대응하는 투과부(B)는 각 화소(A1,A2,A3,A4)의 중앙에 구성하지 않고, 투과부(B)의 일 측과 이와 수직한 타측이 각 화소(A1,A2,A3,A4)의 일 측과 이와 수직한 타측과 겹쳐지도록 구성한다.

<138> 이와 같은 구성은 종래와는 달리 투과부(B)와 반사부(D)의 경계영역이 1/2로 줄어드는 결과가 된다.

<139> 즉, 상기 투과부(B)가 각 화소(A1,A2,A3,A4)의 중앙에 구성된 것과는 달리 개구부로 사용하지 않는 일부 경계영역이 제거된 형태이므로 그만큼 개구영역을 확보할 수 있는 구조이다.

<140> 또한, 상기 투과부(B)에 대응하는 식각홀(미도시)을 각 화소에 걸쳐 넓게 형성할 수 있기 때문에, 종래와는 달리 이 부분에서 러빙공정이 원활히 진행되어 러빙 불량에 의한 투과특성 저하를 방지할 수 있는 장점이 있다.

<141> 또한, 전술한 구성은 상기 각 화소(A1,A2,A3,A4)마다 구성되는 반투과전극(반사판 또는 반사전극(236)과 화소전극(240)))이 상기 데이터 배선 및 게이트 배선(226,212)의 일부 상부로 연장된 구성이므로, 개구영역을 더욱 확보할 수 있는 구조이다.

<142> 이하, 도 14a 내지 도 14f와 도 15a 내지 도 15f와 도 16a와 도 16f를 참조하여 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이기판의 제조공정을 설명한다.

<143> 도 14a 내지 도 14f와 도 15a 내지 도 15f와 도 16a와 도 16f는 도 12의 Ⅳ-Ⅳ`, Ⅴ-Ⅴ`, Ⅵ-Ⅵ`을 따라 절단하여, 본 발명의 공정 순서에 따라 도시한 공정 단면도이다.(도 14a 내지 도 14f는 다결정 박막트랜지스터의 단면도이고, 도 15a 내지 도 15f는 이웃하여 근접한 화소

영역을 데이터 배선에 수직한 방향으로 절단한 단면도이고, 16a 내지 도 16f는 이웃하여 근접한 화소 영역을 게이트 배선에 수직한 방향으로 절단한 단면도이다.)

<144> 도 14a와 도 15a와 도 16a에 도시한 바와 같이, 기판(200)상에 투과부(B)와 반사부(D)로 구성된 다수의 화소(A1,도 12의 A2,A3,A4)를 정의하고 이때, 상/하/좌/우로 구성된 화소(A1, 도 12의 A2,A3,A4)를 단위 셀(도 12의 P)로 정의한다.

<145> 상기 단위 셀(도 12의 P)내에 구성된 각 화소(A1,도 12의 A2,A3,A4)는 서로 근접하게 위치하도록 한다.

<146> 이때, 상기 투과부(B) 또한 서로 이웃한 화소(A1/A3,A2/A4)와 근접하게 구성한다. 이러한 형상은 마치, 상기 단위 화소(P)의 중앙부에 넓은 면적의 투과부(B)가 위치한 형상이 된다.(상/하 및 좌/우로 이웃한 화소에 투과부가 걸쳐 구성된 형상이다.)

<147> 상기 다수의 단위 셀(P)이 정의된 기판(200)상에 질화 실리콘(SiN_X) 또는 산화 실리콘(SiO_2)을 증착하여 버퍼층(201)을 형성한다.

<148> 상기 버퍼층(201)은 상기 기판(200)이 알칼리계 글라스인 경우, 열에 의해 용출된 알칼리계 이온이 상부층으로 확산되는 것을 방지하는 역할을 한다.

<149> 다음으로, 상기 버퍼층(201)의 상부에 알루미늄계열의 금속을 증착하고 패턴하여, 상기 각 단위 셀(도 12의 P)을 구성하는 각 화소(A1,도 12의 A2,A3,A4)마다 박막트랜지스터 영역(T)을 정의한다.

<150> 상기 단위 셀(도 12의 P) 내에 위치하고 상하로 이웃한 화소의 이격영역에 대응하여 스토리지 영역(C)을 정의한다.

<151> 먼저, 상기 박막트랜지스터 영역(T)과 상기 스토리지 영역(C)에 대응하여 각각 제 1 및 제 2 다결정 실리콘 패턴(202,204)을 형성한다.

<152> 상기 제 1 및 제 2 다결정 실리콘 패턴(202,204)은 비정질 실리콘(a-Si:H)을 증착한 후, 고온 또는 저온 열처리 방법을 이용하여 다결정 실리콘으로 형성하고 이를 패턴한 것이다.

<153> 이때, 상기 제 1 다결정 실리콘 패턴(202)은 제 1 액티브 영역(V1)과, 제 1 액티브 영역(V1) 양측의 제 2 액티브 영역(V2)으로 정의한다.

<154> 다음으로, 스토리지 영역(C)에 위치한 제 2 다결정 실리콘 패턴(204)의 표면에 n+ 또는 p+ 이온을 도핑하는 공정을 진행한다.

<155> 다음으로, 상기 제 1 및 제 2 다결정 실리콘 패턴(202,204)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하고 패턴하여 게이트 절연막(206)을 형성한다.

<156> 다음으로, 상기 게이트 절연막(206)이 형성된 기판(200)의 전면에 알루미늄(Al)을 포함하는 알루미늄 계열의 금속을 증착하고 패턴하여, 상기 제 1 액티브 영역(V1)에 대응하는 게이트 절연막(208) 상에 게이트 전극(210)을 형성한다.

<157> 동시에, 상기 게이트 전극(210)과 연결된 게이트 배선(212)과, 상기 제 2 다결정 실리콘 패턴(204)과 평면적으로 겹쳐지도록 일 방향으로 연장된 스토리지 배선(214)을 형성한다.

<158> 이때, 상기 게이트 배선(212)은 상/하/좌/우로 이웃한 화소(A1/A3,A2/A4)의 사이에 위치하지는 않고, 상기 단위 셀(도 12의 P)의 일측과 이와 평행한 타측을 지나가도록 형성하고, 상기 스토리지 배선(214)은 상기 단위 셀(P) 내에 상/하로 이웃한 화소(A1/A3,A2/A4)의 이격 영역에 대응하여 형성한다.

<159> 이와 같은 구성은, 이웃한 단위 셀(P) 사이에 두 개의 게이트 배선(212)이 서로 이웃하여 평행하게 이격된 형상이 된다.

<160> 전술한 구성에서, 상기 게이트 전극(210)과 게이트 배선(212)은 신호지연(signal delay)을 방지하기 위해, 일반적으로 저 저항 금속인 알루미늄계열의 금속을 사용하지만 이러한 금속은 화학적 물리적으로 안정성이 낮기 때문에 이를 보완하기 위한 버퍼 금속층을 상기 알루미늄계열 금속의 상부에 적층하는 이중 금속층 구조로 형성할 수 도 있다.

<161> 상기 게이트 전극(210)을 형성한 후, 상기 제 1 다결정 실리콘 패턴(202)의 표면에 n+ 또는 p+ 이온을 도핑하는 공정을 진행한다.

<162> 이와 같이 하면, 상기 게이트 전극(210)에 대응하지 않는 제 2 액티브 영역(V2)의 표면에만 불순물이 도핑되는 결과가 되며 이 부분은 오믹콘택(ohmic contact)기능을 하게 된다.

<163> 도 14b와 도 15b와 도 16b에 도시한 바와 같이, 상기 게이트 전극(210)과 게이트 배선(212)이 형성된 기판(200)의 전면에 앞서 언급한 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 층간 절연막(216)을 형성한다.

<164> 다음으로, 상기 층간 절연막(216)을 패턴하여, 상기 제 1 액티브 영역(V1) 양측의 제 2 액티브 영역(V2)을 각각 노출하는 제 1 콘택홀(218)과 제 2 콘택홀(220)을 형성한다.

<165> 도 14c와 도 15c와 도 16c에 도시한 바와 같이, 상기 층간 절연막(216)이 형성된 기판(200)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 구리(Cu)를 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 노출된 제 2 액티브 영역(V2)과 접촉하면서 서로 이격된 소스 전극(222)과 드레인 전극(224)을 형성한다.

<166> 동시에, 상기 소스 전극(222)과 연결된 데이터 배선(226)을 상기 게이트 배선(212)과 수직한 방향으로 형성한다.

<167> 이때, 상기 데이터 배선(226) 또한, 단위 셀(도 12의 P)의 일측과 이와 평행한 타측에 형성한다.

<168> 이와 같은 구성은, 상기 서로 교차하는 게이트 배선(212)과 데이터 배선(226)이 정의하는 영역 내에 4개의 화소가 구성된 형상이 된다.

<169> 도 14d와 도 15d와 도 16d에 도시한 바와 같이, 상기 소스 및 드레인 전극(222,224)과 데이터 배선(226)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하고 패턴하여 제 1 보호막(228)을 형성한다.

<170> 다음으로, 상기 제 1 보호막(228)의 상부에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 제 2 보호막(230)을 형성한다.

<171> 연속하여, 상기 제 1 및 제 2 보호막(228,230)을 패턴하여, 상기 드레인 전극(224)의 일부를 노출하는 드레인 콘택홀(232)을 형성하는 동시에, 상기 투과부(B)에 대응하여 식각홀(234)을 형성한다.

<172> 도 14e와 도 15e와 도 16e에 도시한 바와 같이, 상기 제 2 보호막(230)이 형성된 기판(200)의 전면에 알루미늄(Al)과 알루미늄계열의 금속과 같이 반사율이 뛰어난 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 반사부(D)에 대응하여 반사판(236)을 형성한다.

<173> 이때, 상기 드레인 콘택홀(232)에 대응하여 상기 드레인 전극(222)을 재차 노출하는 제 1 홀(H1)을 형성한다.

<174> 다음으로, 상기 반사판(236)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 3 보호막(238)을 형성한 후 패턴하여, 상기 드레인 콘택홀에 대응하여 하부의 드레인 전극을 노출하는 제 2 홀(H2)을 형성한다.

<175> 도 14f와 도 15f와 도 16f에 도시한 바와 같이, 상기 제 3 보호막(238)이 형성된 기판의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성금속 그룹 중 선택된 하나를 증착하고 패턴하여, 상기 노출된 드레인 전극(224)과 접촉하면서 상기 투과부(B)에 위치하는 투명한 화소전극(240)을 형성한다.

<176> 전술한 공정에서, 상기 스토리지 배선(214)을 제 1 전극으로 하고 그 하부의 제 2 다결정 실리콘 패턴(204)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 형성된다.

<177> 전술한 바와 같은 공정을 통해 본 발명의 제 2 실시예에 따른 반사투과형 액정표시장치용 어레이기판을 제작할 수 있다.

<178> 이하, 제 3 실시예를 통해 제 1 및 제 2 실시예의 변형예를 설명한다.

<179> -- 제 3 실시예--

<180> 본 발명에 따른 제 3 실시예의 특징은 상기 제 1 및 제 2 실시예의 구성에서, 상기 스토리지 배선의 구성을 십자형으로 구성하는 것을 특징으로 한다.

<181> 도 17은 제 1 실시예의 평면구성을 나타낸 도 7의 구성에서, 단위 셀만을 확대하여 간략히 나타낸 도면이다.

<182> 도시한 바와 같이, 단위 셀(P)내에 상/하/좌/우로 이웃한 화소(A1,A2,A3,A4)의 이격 영역에 대응하여 십자형상의 스토리지 배선(106)을 형성한다.

<183> 이때, 상기 스토리지 배선(106)은 단위 셀(P)의 상부와 하부에 구성된 게이트 배선(102)과 이격 하여 구성되도록 한다.

<184> 따라서, 상기 스토리지 배선(106)을 제 1 전극으로 하고, 그 상부의 화소 전극(130)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 십자형으로 형성되는 결과를 얻을 수 있다.

<185> 이와 같은 구성은, 고정세 액정패널에서 스토리지 용량을 더욱 확보할 수 있는 장점을 가진다.

<186> 도 18은 상기 제 2 실시예의 평면구성을 나타낸 도 12의 구성에서, 단위 화소셀(P)을 확대하여 간략히 나타낸 도면이다.

<187> 도시한 바와 같이, 단위 셀(P)내에 상/하/좌/우로 이웃한 화소(A1,A2,A3,A4)의 이격영역에 대응하여 십자형의 스토리지 배선(214)을 형성하고, 스토리지 배선(214)의 하부에 각 화소(A1,A2,A3,A4)에 대응하여 독립적으로 구성된 다결정 실리콘 패턴(204)을 형성한다.

<188> 따라서, 상기 스토리지 배선(214)을 제 1 전극으로 하고, 그 하부의 다결정 실리콘 패턴(204)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 단위셀(P)내에서 십자형으로 형성되는 결과를 얻을 수 있다.

<189> 전술한 바와 같은 구성으로 본 발명에 따른 반사투과형 액정표시장치용 어레이기판을 제작할 수 있다.

<190> 이하, 제 4 실시예를 통해 전술한 제 1 및 제 2 실시예의 반사투과형 어레이기판을 포함하는 반사투과형 액정표시장치의 구성을 설명한다.

<191> -- 제 4 실시예 --

<192> 도 19는 스위칭 소자로 비정질 박막트랜지스터를 구성한 반사투과형 액정표시장치의 구성을 도시한 단면도이다.

<193> 도시한 바와 같이, 본 발명에 따른 반사투과형 액정표시장치(B)는 어레이 기판(A1)과 컬러필터 기판(A2)을 액정층(400)을 사이에 두고 이격하여 구성한다.

<194> 상기 어레이 기판(A1)은 투명한 제 1 기판(100)상에 서로 수직하게 교차하는 게이트 배선(미도시)과 데이터 배선(118)을 구성하며, 상기 두 배선이 교차하여 단위셀(P)을 정의한다.

<195> 단위셀(P)은 상/하/좌/우로 근접하여 구성된 4개의 화소(도 7의 A1,A2,A3,A4)를 포함한다.

<196> 상기 각 화소는 투과부(B)와 반사부(D)로 구성되며, 각 화소에 구성된 투과부(B)는 이웃하는 화소의 투과부(B)와 근접하도록 구성된다.

<197> 이때, 상기 단위셀 내(P)의 투과부(B)에 대응하여 식각홀(H)이 구성된 보호막(120)을 반사부(D)에 대응하여 형성한다.

<198> 상기 게이트 배선(미도시)과 데이터 배선(118)의 교차지점마다 게이트 전극(102)과 비정질 액티브층(110)과 소스 전극(114)과 드레인 전극(116)을 포함하는 박막트랜지스터(T)를 구성한다.

<199> 상기 어레이기판(A1)과 대향하는 방향으로 컬러필터 기판(A2)을 구성하며, 컬러필터 기판(A2)은 투명한 제 2 절연기판(300)과, 절연 기판(300)의 일면에 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(302)를 형성한다.

<200> 상기 블랙매트릭스(302)가 형성된 기판(300)의 일면에 상기 어레이기판(A1)의 각 화소(도 7의 A1,A2,A3,A4)에 대응하여 적색과 녹색과 청색의 컬러필터를(304a,304b,304c) 형성한다.

<201> 상기 컬러필터(304a,304b,304c)가 형성된 기판(300)의 일면에 투명한 공통전극(306)을 형성한다.

<202> 전술한 구성에서, 상기 투과부(B)에 반사부(D)에 대응하여 위치한 액정층(400)의 두께는 d:2d의 두께로 구성되며, 이와 같은 구성은 반사부(D)와 투과부(B)에 대응하는 빛의 편광특성을 동일하게 할 수 있으므로, 그에 따른 광학적 효율을 동일하게 할 수 있어 고화질의 반사투과형 액정표시장치를 제작할 수 있다.

<203> 이하, 도 20을 참조하여 스위칭 소자로 다결정 박막트랜지스터를 구성한 본 발명에 따른 액정표시장치의 구성을 설명한다.

<204> 도 20은 스위칭 소자로 다결정 박막트랜지스터를 구성한 반사투과형 액정표시장치의 구성을 도시한 단면도이다.

<205> 도시한 바와 같이, 본 발명에 따른 반사투과형 액정표시장치는 어레이 기판(A1)과 컬러필터 기판(A2)을 액정층(400)을 사이에 두고 이격하여 구성한다.

<206> 상기 어레이 기판(A1)은 투명한 제 1 기판(200)상에 서로 수직하게 교차하는 게이트 배선(미도시)과 데이터 배선(226)을 구성하며, 상기 두 배선이 교차하여 단위셀(P)을 정의한다.

<207> 단위셀(P)은 상/하/좌/우로 근접하여 구성된 4개의 화소(도 12의 A1,A2,A3,A4)를 포함한다.

<208> 상기 각 화소(도 12의 A1,A2,A3,A4)는 투과부(B)와 반사부(D)로 구성되며, 각 화소(도 12의 A1,A2,A3,A4)에 구성된 투과부(B)는 이웃하는 화소의 투과부(B)의 근접하도록 구성된다.

<209> 이때, 상기 단위 셀(P)내의 투과부(B)에 대응하여 식각홀(H)이 구성된 보호막(230)을 반사부(D)에 대응하여 형성한다.

<210> 상기 게이트 배선(212)과 데이터 배선(미도시)의 교차지점마다 게이트 전극(210)과 다결정 액티브층(202)과 소스 전극(222)과 드레인 전극(224)을 포함하는 박막트랜지스터(T)를 구성한다.

<211> 상기 어레이기판(A1)과 대향하는 방향으로 컬러필터 기판(A2)을 구성하며, 컬러필터 기판(A2)은 투명한 제 2 절연기판(300)과, 절연 기판(300)의 일면에 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(302)를 형성한다.

<212> 상기 블랙매트릭스(302)가 형성된 기판(300)의 일면에 상기 어레이기판(300)의 각 화소(도 12의 A1,A2,A3,A4)에 대응하여 적색과 녹색과 청색의 컬러필터(304a,304b,304c)를 형성한다.

<213> 상기 컬러필터(304a,304b,304c,304d)가 형성된 기판(300)의 일면에 투명한 공통전극(306)을 형성한다.

<214> 전술한 구성에서, 상기 투과부(B)에 반사부(D)에 대응하여 위치한 액정층(400)의 두께는 d:2d의 두께로 구성되며, 이와 같은 구성은 반사부(D)와 투과부(B)에 대응하는 빛의 편광특성을 동일하게 할 수 있으므로 그에 따른 광학적 효율을 동일하게 할 수 있어 고화질의 반사투과형 액정표시장치를 제작할 수 있다.

<215> 전술한 바와 같은 본 발명에 따른 제 1 내지 제 4 실시예에 따라 제작된 반사투과형 액정표시장치용 어레이기판과 이를 포함하는 반사투과형 액정표시장치는 아래와 같은 특징이 있다.

<216> 첫째, 상기 각 화소에 투과부(B)를 구성할 때, 종래와는 달리 투과부(B)와 반사부(D)의 경계영역이 1/2로 줄어든 형상이므로 그 만큼 개구영역을 확보할 수 있는 구성이다.

<217> 둘째, 투과부(B)에 대응하는 식각홀을 형성할 때, 종래와 달리 큰 면적으로 구성할 수 있기 때문에 안정된 공정 마진을 확보할 수 있을 뿐 아니라, 러빙 공정시 러비불량이 발생하지 않아 투과부(B)의 투과특성을 개선할 수 있는 장점이 있다.

<218> 셋째, 단위화소(P)내에 상하 및 좌우로 이웃한 화소의 사이영역에 스토리지 캐패시터를 구성할 수 있으므로, 고정세에서 필요한 스토리지 용량을 더욱 확보할 수 있는 장점이 있다.

【발명의 효과】

<219> 전술한 바와 같은 본 발명에 따른 반사투과형 액정표시장치용 어레이기판은 첫째, 상기 각 화소에 투과부를 구성한 때, 종래와는 달리 투과부와 반사부의 경계영역이 1/2로 줄어든 형상이므로 그 만큼 개구영역을 확보할 수 있어 개구율을 개선하는 효과가 있다.

<220> 둘째, 투과부(B)에 대응하는 식각홀을 형성할 때, 종래와 달리 큰 면적으로 구성할 수 있기 때문에 안정된 공정 마진을 확보할 수 있을 뿐 아니라, 러빙 공정시 러비불량이 발생하지 않아 투과부(B)의 투과특성을 개선할 수 있어 고화질을 구현할 수 있는 효과가 있다.

<221> 셋째, 단위 화소(P)내에 상하 및 좌우로 이웃한 화소의 사이영역에 스토리지 캐패시터를 구성할 수 있으므로, 고정세에서 필요한 스토리지 용량을 더욱 확보하는 효과가 있다.

【특허청구범위】

【청구항 1】

기판 상에 수직하게 교차하여 다수개의 단위셀을 정의하는 게이트 배선과 데이터 배선과 ;

상기 단위 셀에 상/하/좌/우로 이웃하게 구성되고, 각각은 반사부와 투과부로 구성된 다수의 화소에 있어서,

상기 투과부는 각 화소에 구성되는 동시에, 상기 단위셀의 중앙부에 위치한 다수의 화소와;

상기 게이트 배선과 데이터 배선의 교차점에 위치하고 단위셀 내의 각 화소마다 구성된 박막트랜지스터와;

상기 게이트 배선과 데이터 배선 및 박막트랜지스터가 구성된 기판의 전면에 위치하고, 상기 단위셀 내의 투과부에 대응하여 식각홀이 구성된 보호막과;

상기 보호막 상부의 반사부에 구성된 반사판과;

상기 박막트랜지스터와 접촉하고 상기 각 화소에 대응하여 구성된 투명한 화소전극;

을 포함하는 반사투과형 액정표시장치용 어레이기판.

【청구항 2】

제 1 항에 있어서,

상기 식각홀은 상기 단위셀 내의 투과부에 대응하여 하나로 형성된 반사투과형 액정표시장치용 어레이기판.

【청구항 3】

제 1 항에 있어서,

상기 반사판은 상기 박막트랜지스터와 접촉하여 구성된 반사투과형 액정표시장치용 어레이기판.

【청구항 4】

제 1 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선과 연결된 게이트 전극과, 비정질 액티브층과, 상기 데이터배선과 연결된 소스 전극과 이와는 소정간격 이격된 드레인 전극을 포함하는 박막트랜지스터인 반사투과형 액정표시장치.

【청구항 5】

제 1 항에 있어서,

상기 단위셀 내에 상/하로 구성된 화소의 이격 영역 사이에, 상기 게이트 배선과 평행한 방향으로 구성된 스토리지 배선을 포함하는 반사투과형 액정표시장치용 어레이기판.

【청구항 6】

제 5 항에 있어서,

상기 스토리지 배선은 십자 형상인 반사투과형 액정표시장치용 어레이기판.

【청구항 7】

제 6 항에 있어서,

상기 스토리지 배선을 제 1 전극으로 하고, 스토리지 배선의 상부에 위치한 투명한 화소 전극을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 구성된 반사투과형 액정표시장치용 어레이기판.

【청구항 8】

제 1 항에 있어서,

상기 박막트랜지스터는 다결정 액티브층과, 액티브층 상부에 상기 게이트 배선과 연결된 게이트 전극과, 상기 데이터 배선과 연결된 소스 전극과 이와는 이격된 드레인 전극으로 구성된 박막트랜지스터가 구성된 반사투과형 액정표시장치용 어레이기판.

【청구항 9】

제 8 항에 있어서,

상기 단위셀 내에 상/하로 이격하여 구성된 화소의 사이 영역에 대응하여 스토리지 배선이 더욱 구성된 반사투과형 액정표시장치용 어레이기판.

【청구항 10】

제 9 항에 있어서,

상기 스토지리 배선은 십자형상인 반사투과형 액정표시장치용 어레이기판,

【청구항 11】

제 10 항에 있어서,

상기 스토리지 배선의 하부에 상기 각 화소마다 독립적으로 다결정 실리콘 패턴이 더욱 구성되어, 상기 다결정 실리콘 패턴을 제 1 전극으로 하고 상기 스토리지 배선을 제 2 전극으로 하는 반사투과형 액정표시장치용 어레이기판.

【청구항 12】

기판 상에 수직하게 교차하여 다수개의 단위셀을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와;

상기 단위 셀에 상/하/좌/우로 이웃하게 구성되고, 각각은 반사부와 투과부로 구성된 화소를 정의하는 단계에 있어서,

상기 투과부는 각 화소에 구성되는 동시에 상기 단위셀의 중앙부에 위치하도록 화소를 정의하는 단계와;

상기 게이트 배선과 데이터 배선의 교차점에 박막트랜지스터를 형성하는 단계와;

상기 게이트 배선과 데이터 배선 및 박막트랜지스터가 구성된 기판의 전면에, 상기 단위셀 내의 투과부에 대응하여 식각홀을 포함하는 보호막을 형성하는 단계와;

상기 보호막 상부의 반사부에 대응하여 반사판을 형성하는 단계와;

상기 박막트랜지스터와 접촉하고, 상기 화소에 대응하여 투명한 화소전극을 형성하는 단계

를 포함하는 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 13】

제 12 항에 있어서;

상기 식각홀은 상기 단위셀 내의 투과부에 대응하여 하나로 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 14】

제 12 항에 있어서,

상기 반사판은 상기 박막트랜지스터와 접촉하여 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 15】

제 12 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선과 연결된 게이트 전극과, 액티브층과, 상기 데이터배선과 연결된 소스 전극과 이와는 소정간격 이격된 드레인 전극을 포함하는 박막트랜지스

터인 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 16】

제 12 항에 있어서,

상기 단위셀 내에 상/하로 구성된 화소의 이격 영역 사이에 상기 게이트 배선과 평행한 방향으로 구성된 스토리지 배선이 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 스토리지 배선은 십자형상인 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 스토리지 배선을 제 1 전극으로 하고, 상기 스토리지 배선의 상부에 겹쳐진 각 화소의 화소 전극을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 19】

제 12 항에 있어서,

상기 박막트랜지스터는 다결정 액티브층과, 액티브층 상부에 상기 게이트 배선과 연결된 게이트 전극과, 상기 데이터 배선과 연결된 소스 전극과 이와는 이격된 드레인 전극으로 구성된 박막트랜지스터가 구성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 20】

제 19 항에 있어서,

상기 단위셀 내에 상/하로 이격하여 구성된 화소의 사이 영역에 대응하여 스토리지 배선이 더욱 구성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 21】

제 20 항에 있어서,

상기 스토리지 배선은 십자 형상인 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 22】

제 21 항에 있어서,

상기 스토리지 배선의 하부에 상기 각 화소마다 독립적으로 패턴된 다결정 실리콘 패턴이 더욱 구성되어, 상기 다결정 실리콘 패턴을 제 1 전극으로 하고 상기 스토리지 배선을제 2 전극으로 하는 스토리지 캐패시터가 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

【청구항 23】

서로 이격 하여 구성된 제 1 기판과 제 2 기판과;

상기 제 1 기판의 일면에 수직하게 교차하여 다수개의 단위셀을 정의하는 게이트 배선과 데이터 배선과;

상기 단위 셀에 상/하/좌/우로 이웃하게 구성되고, 각각은 반사부와 투과부로 구성된 화소에 있어서,

상기 투과부는 각 화소에 구성되는 동시에, 상기 단위셀의 중앙부에 위치한 다수의 화소와;

상기 게이트 배선과 데이터 배선의 교차점에 위치하고 단위셀내의 각 화소마다 구성된 박막트랜지스터와;

상기 게이트 배선과 데이터 배선 및 박막트랜지스터가 구성된 기판의 전면에 위치하고, 상기 단위셀 내의 투과부에 대응하여 식각홀이 구성된 보호막과;

상기 보호막 상부의 반사부에 구성된 반사판과;

상기 박막트랜지스터와 접촉하고 상기 화소에 대응하여 구성된 투명한 화소전극과;

상기 제 1 기판과 마주보는 제 2 기판의 일면에 상기 박막트랜지스터에 대응하여 구성된 블랙매트릭스와;

상기 블랙매트릭스가 구성된 기판의 일면에, 상기 각 화소에 대응하여 순차적으로 구서오딘 적색과 녹색과 청색의 컬러필터와;

사익 컬러필터가 구성된 기판의 전면에 구성된 투명한 공통전극

을 포함하는 반사투과형 액정표시장치.

【청구항 24】

제 23 항에 있어서,

상기 식각홀은 상기 단위셀 내의 투과부에 대응하여 하나로 형성된 반사투과형 액정표시장치.

【청구항 25】

제 23 항에 있어서,

상기 반사판은 상기 박막트랜지스터와 접촉하여 구성된 반사투과형 액정표시장치.

【청구항 26】

제 23 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선과 연결된 게이트 전극과, 비정질 액티브층과, 상기 데이터배선과 연결된 소스 전극과 이와는 소정간격 이격된 드레인 전극을 포함하는 박막트랜지스터인 반사투과형 액정표시장치.

【청구항 27】

제 23 항에 있어서,

상기 단위셀 내에 상/하로 구성된 화소의 이격 영역 사이에 상기 게이트 배선과 평행한 방향으로 구성된 스토리지 배선이 구성된 반사투과형 액정표시장치.

【청구항 28】

제 27 항에 있어서,

상기 스토리지 배선은 십자형상으로 구성된 반사투과형 액정표시장치.

【청구항 29】

제 28 항에 있어서,

상기 스토리지 배선을 제 1 전극으로 하고, 상기 스토리지 배선의 상부에 이와 겹쳐진 각 화소의 화소 전극을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 구성된 반사투과형 액정표시장치용 어레이기판.

【청구항 30】

제 23 항에 있어서,

상기 박막트랜지스터는 다결정 액티브층과, 액티브층 상부에 상기 게이트 배선과 연결된 게이트 전극과, 상기 데이터 배선과 연결된 소스 전극과 이와는 이격된 드레인 전극으로 구성된 박막트랜지스터가 구성된 반사투과형 액정표시장치용 어레이기판.

【청구항 31】

제 30 항에 있어서,

상기 단위셀 내에 상/하로 이격하여 구성된 화소의 사이 영역에 대응하여 스토리지 배선이 더욱 구성된 반사투과형 액정표시장치.

【청구항 32】

제 31 항에 있어서,

상기 스토리지 배선은 십자형상으로 구성된 반사투과형 액정표시장치.

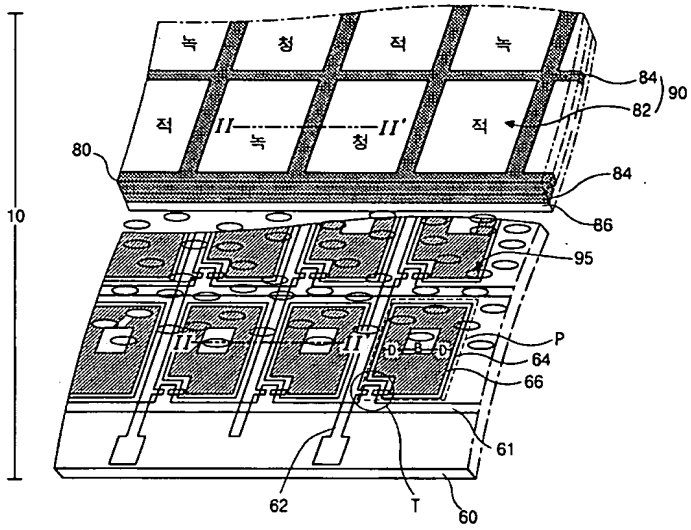
【청구항 33】

제 32 항에 있어서,

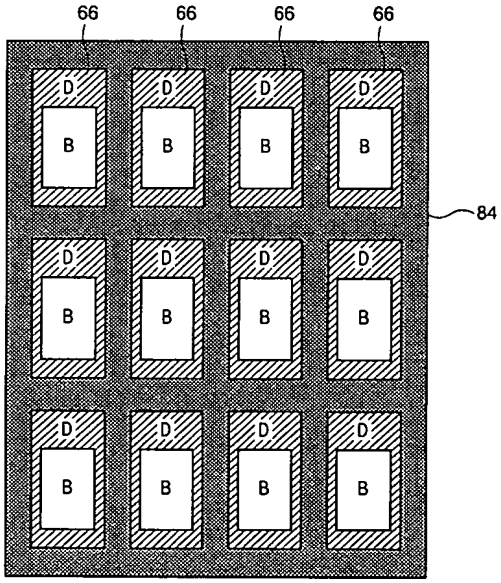
상기 스토리지 배선의 하부에 각 화소마다 독립적으로 다결정 실리콘 패턴이 더욱 구성되어, 상기 다결정 실리콘패턴을 제 1 전극으로 하고 상기 스토리지 배선을 제 2 전극으로 하는 스토리지 캐패시터가 구성된 반사투과형 액정표시장치.

【도면】

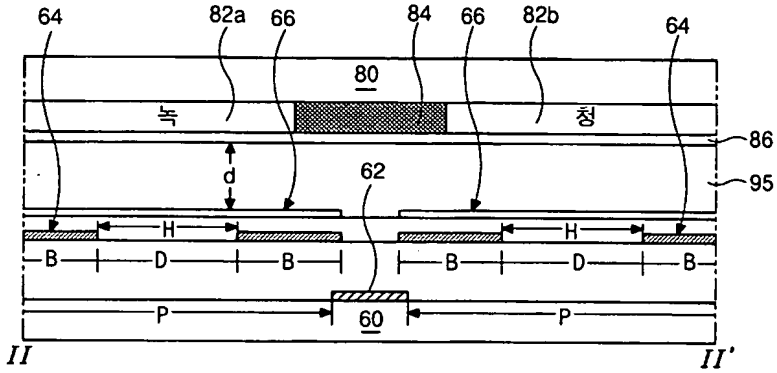
【도 1】


녹
청
적
녹
적
II
녹
청
II'
적
84
90
82
80
84
86
10
95
P
64
66
61
62
T
60

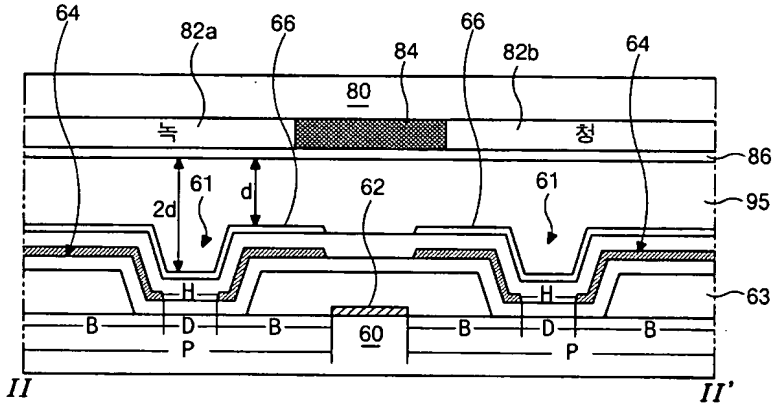
【도 2】


66
66
66
66
D
B
84

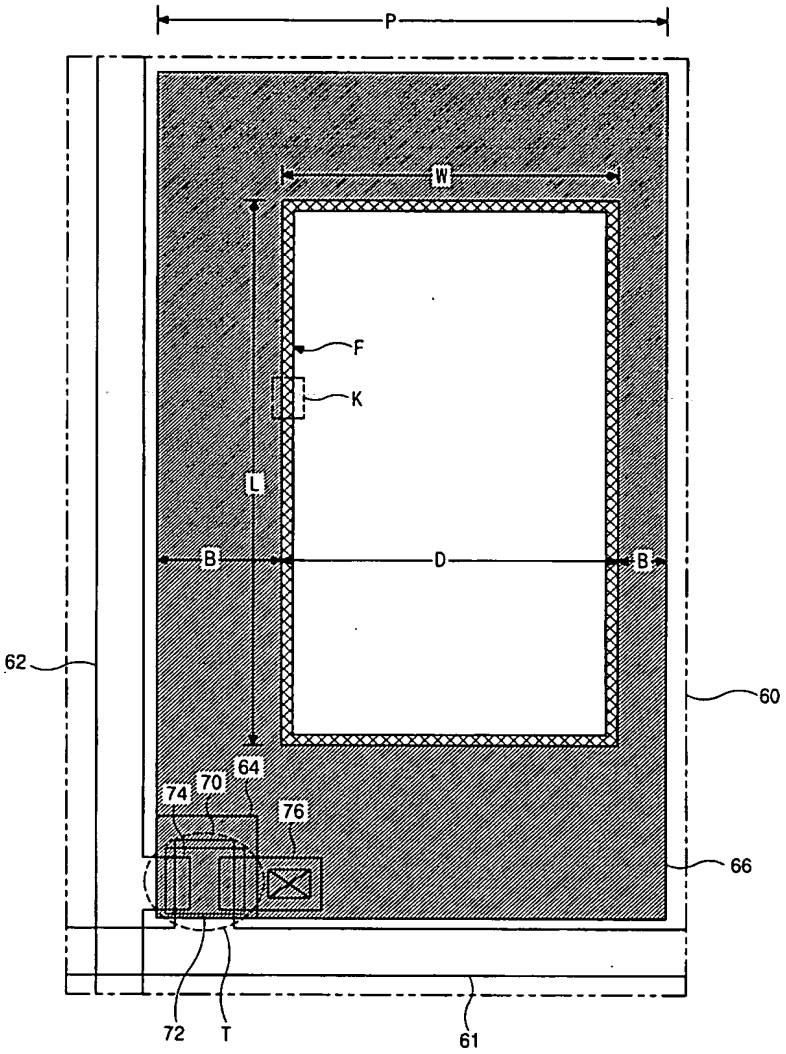
【도 3】


64
82a
66
84
66
82b
64
80
녹
청
86
d
62
95
H
H
B
D
B
B
D
B
P
60
P
II
II'

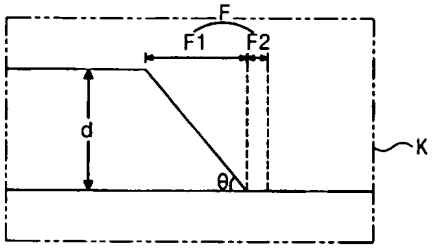
【도 4】


64
82a
66
84
66
82b
64
80
녹
청
86
61
d
62
61
95
2d
H
H
63
B
D
B
60
B
D
B
P
P
II
II'

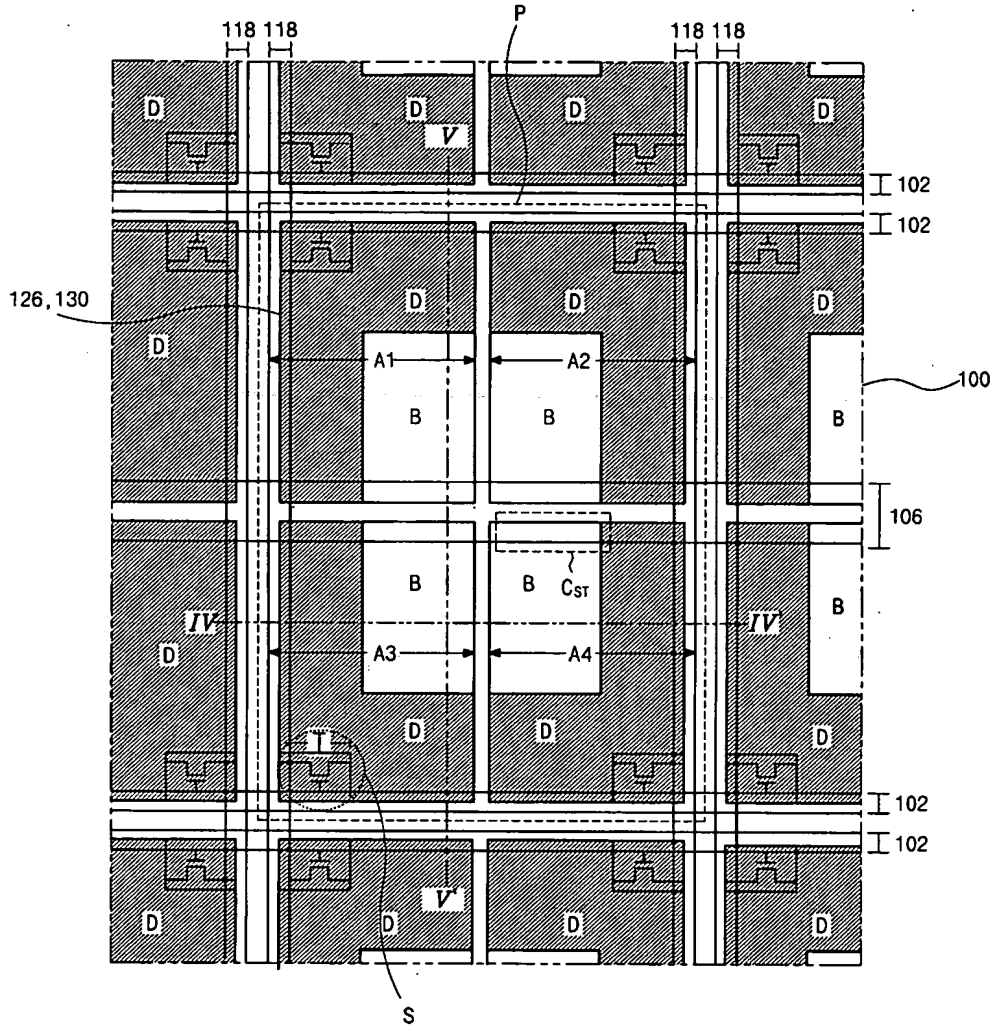
【도 5】



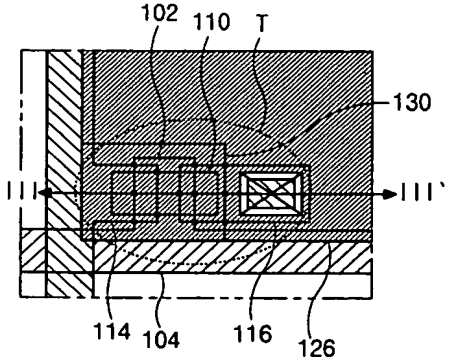
【도 6】



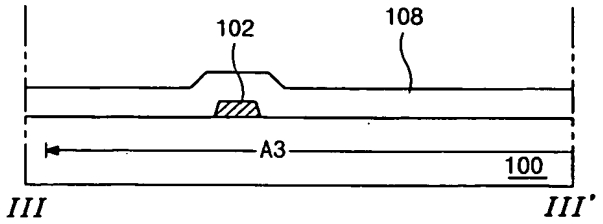
【도 7】


118 118
P
118 118
D
V
102
102
126, 130
A1
A2
100
B
106
C_{ST}
IV
A3
A4
V'
S

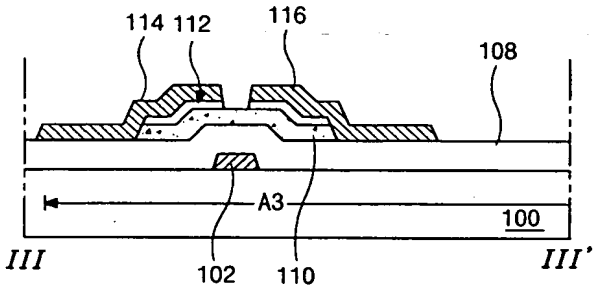
【도 8】


102
110
T
130
III
III'
114
104
116
126

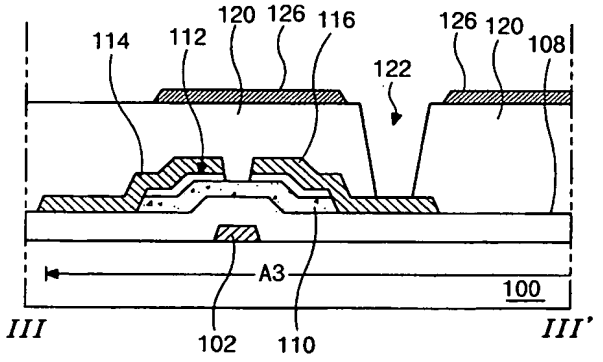
【도 9a】



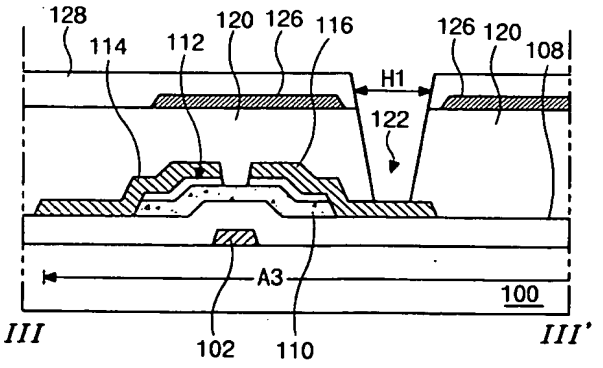
【도 9b】



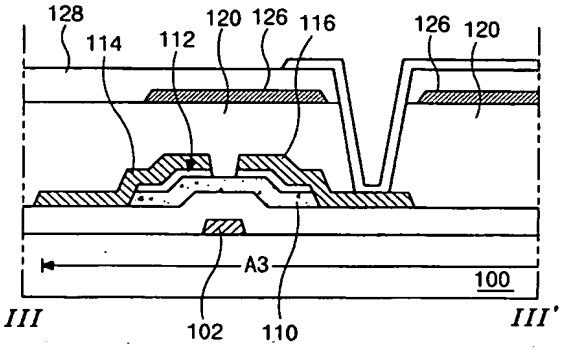
【도 9c】



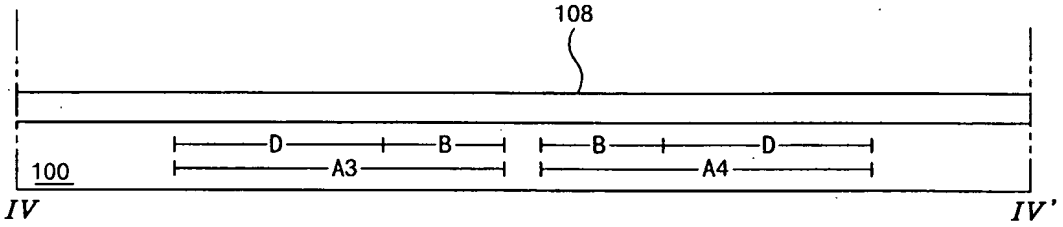
【도 9d】



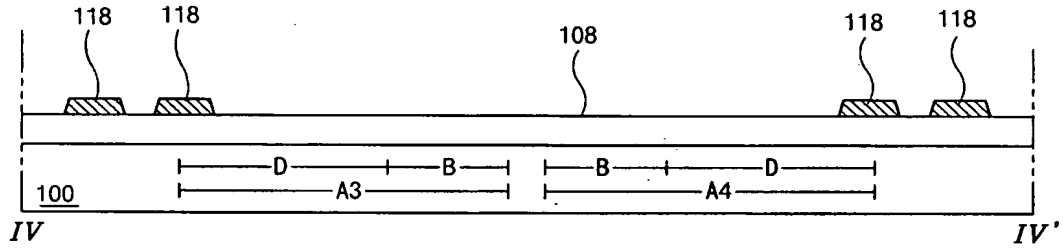
【도 9e】



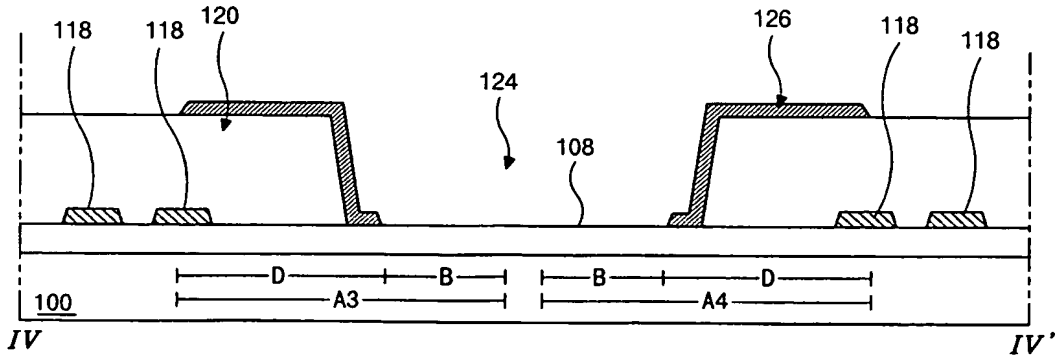
【도 10a】



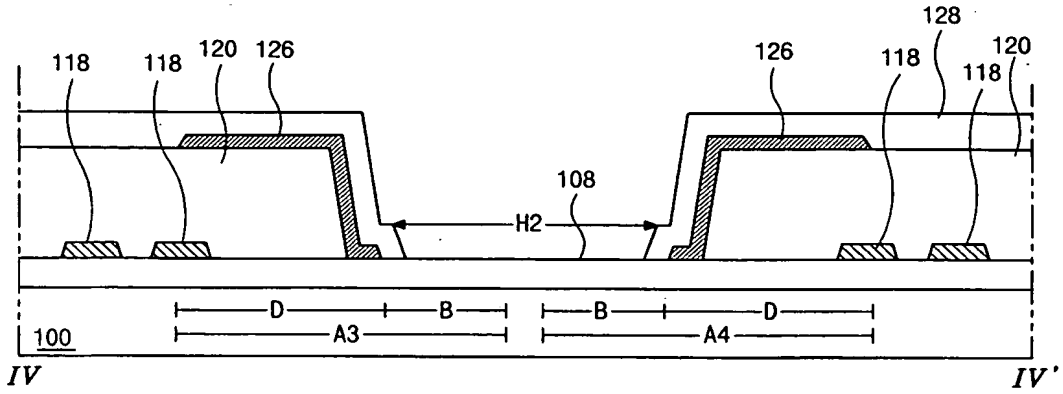
【도 10b】



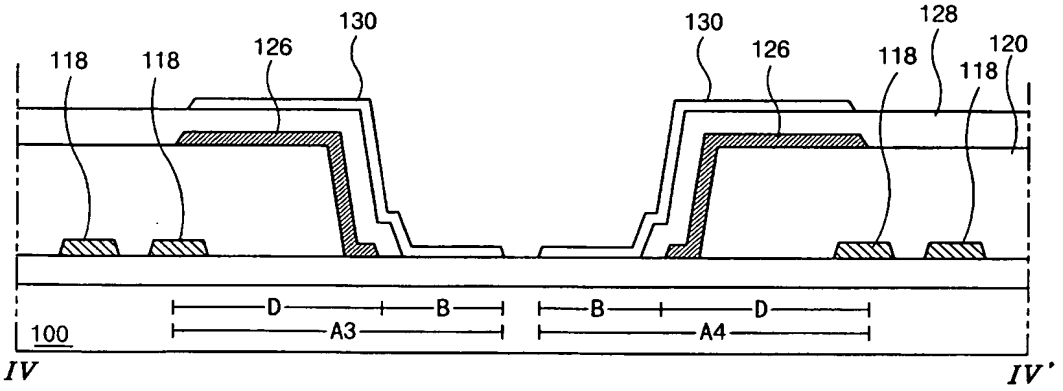
【도 10c】



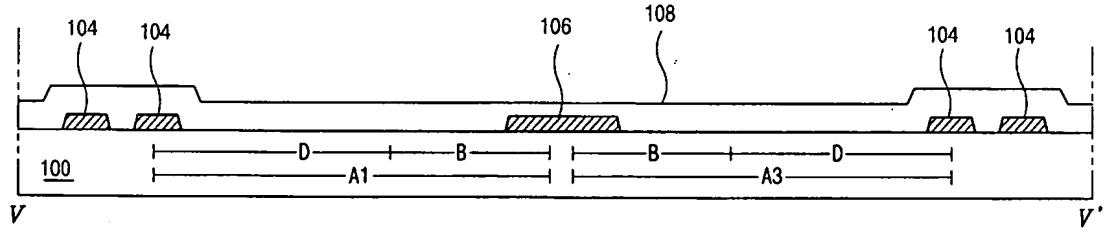
【도 10d】



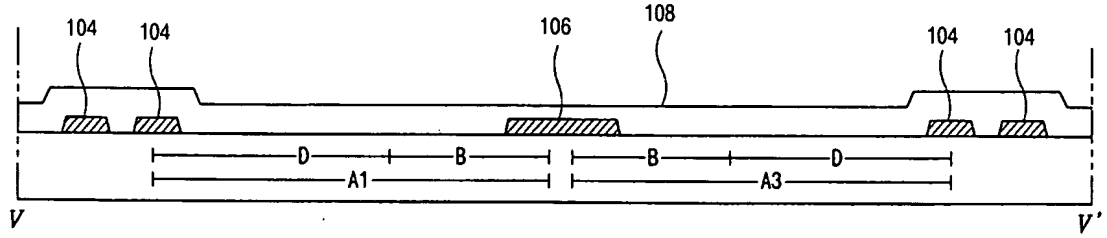
【도 10e】



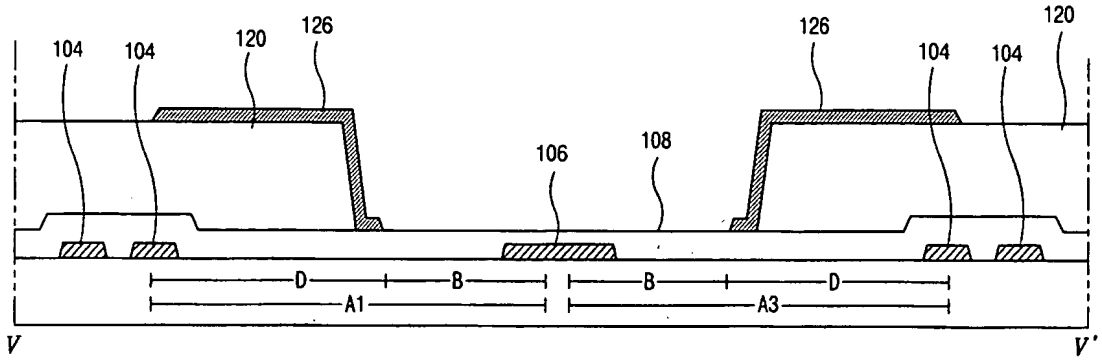
【도 11a】



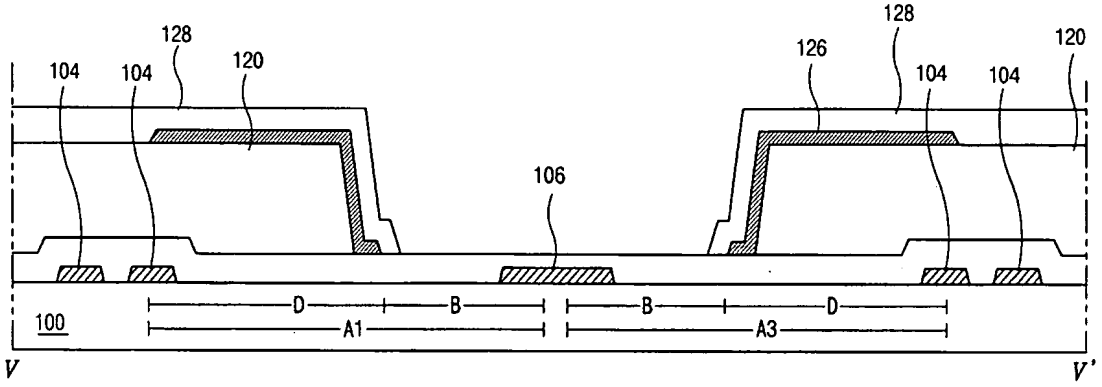
【도 11b】



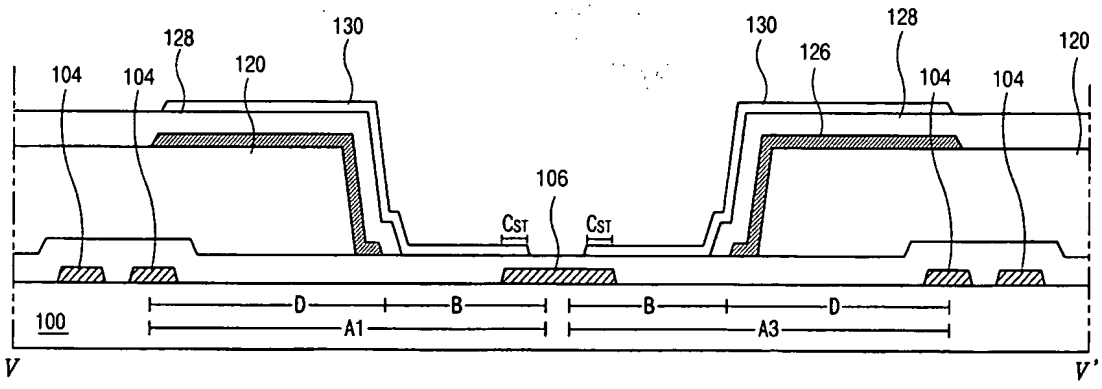
【도 11c】



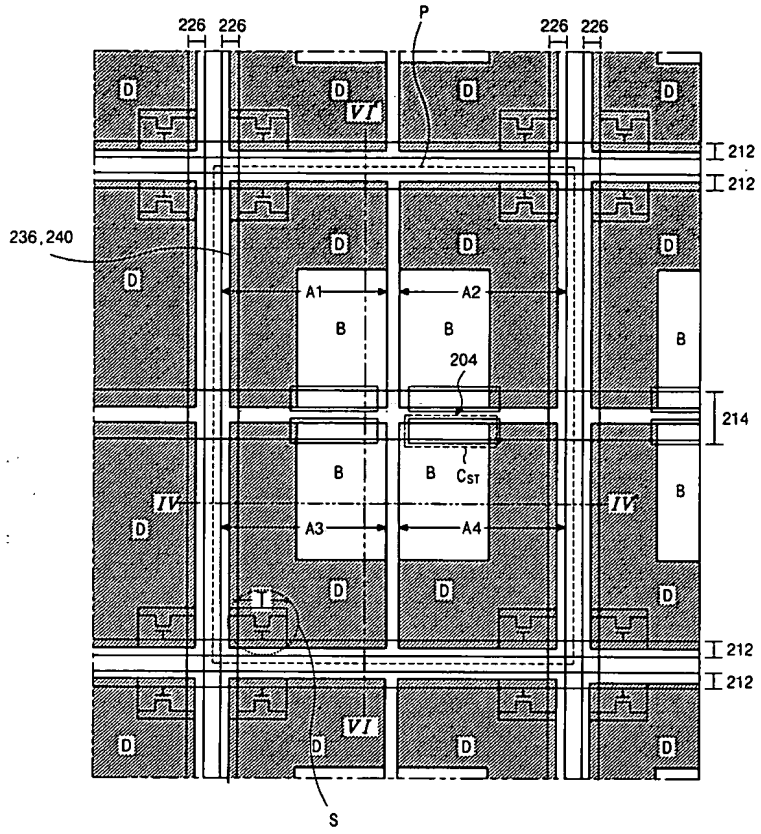
【도 11d】



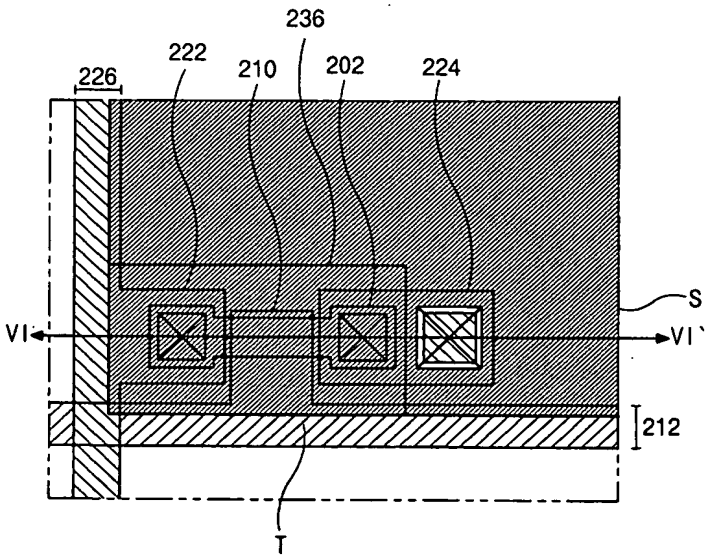
【도 11e】



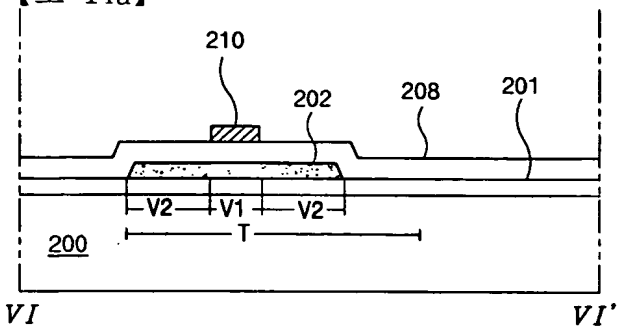
【도 12】


226
226
226
226
P
D
VI
212
212
236,240
A1
A2
B
204
214
C_{ST}
IV
A3
A4
T
S
VI

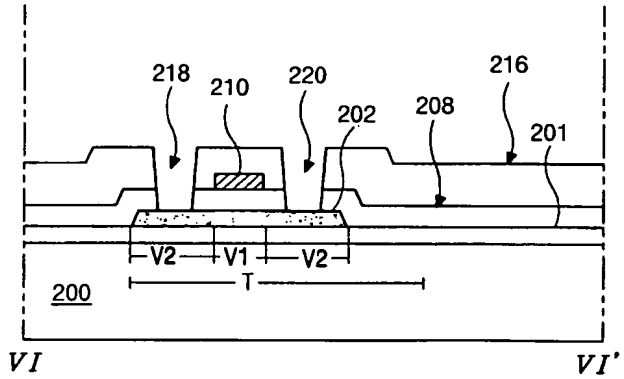
【도 13】


236
222
210
202
224
226
S
VI
VI`
212
T

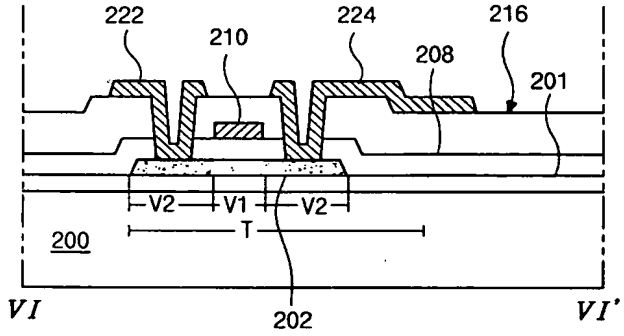
【도 14a】



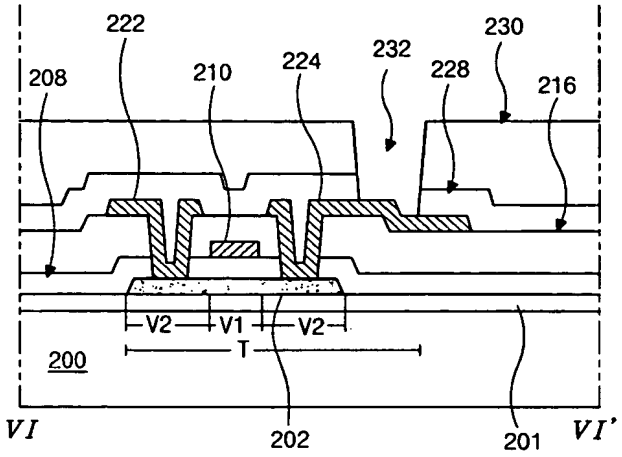
【도 14b】



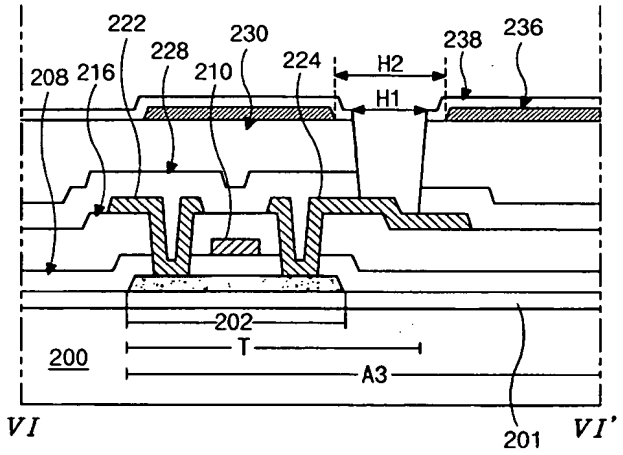
【도 14c】



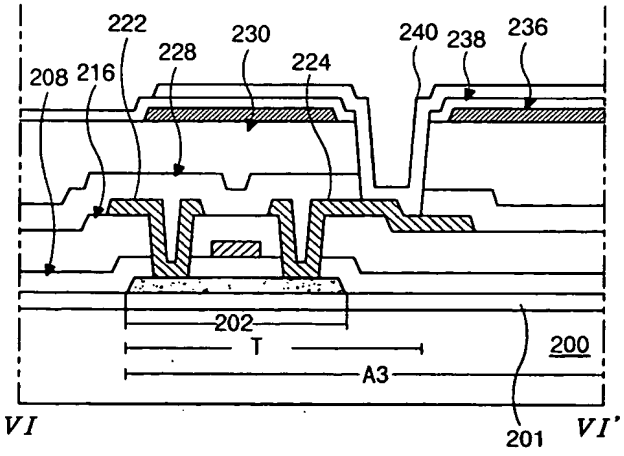
【도 14d】



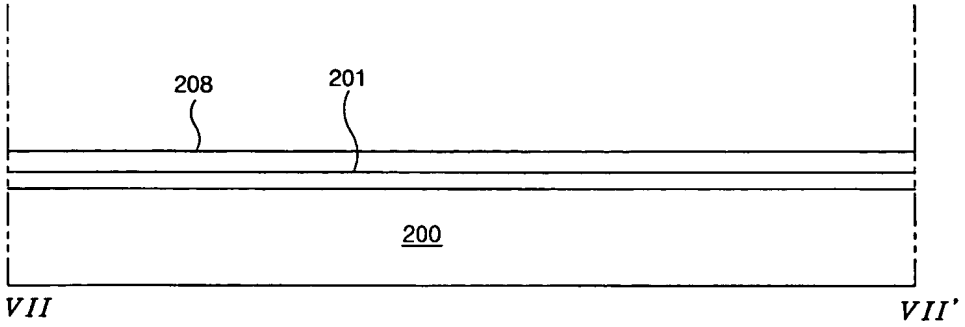
【도 14e】



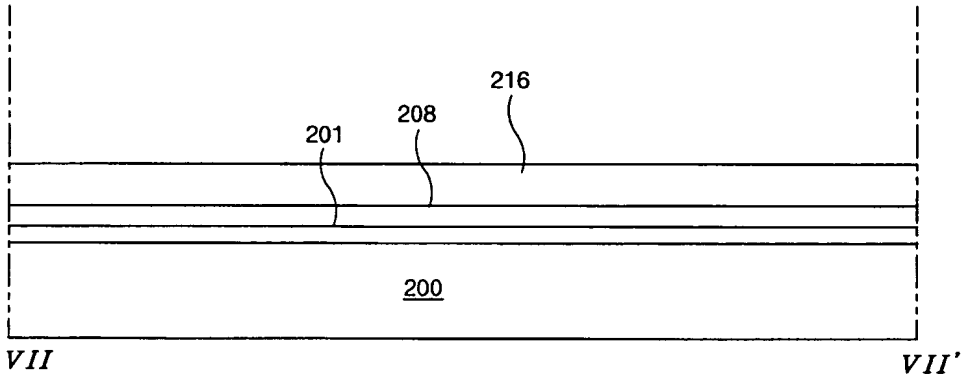
【도 14f】



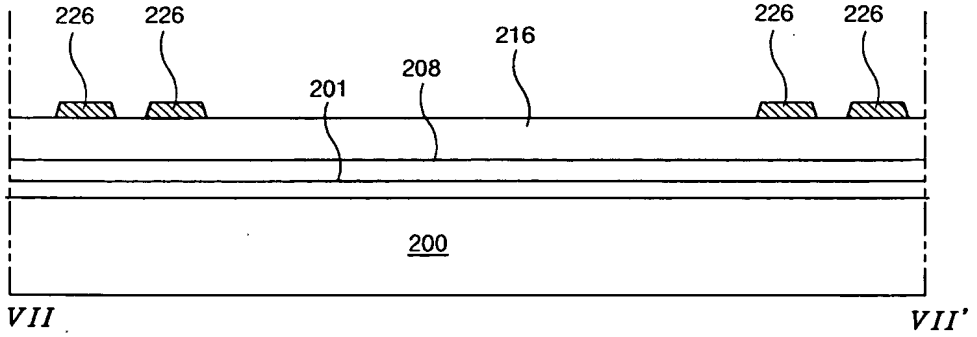
【도 15a】



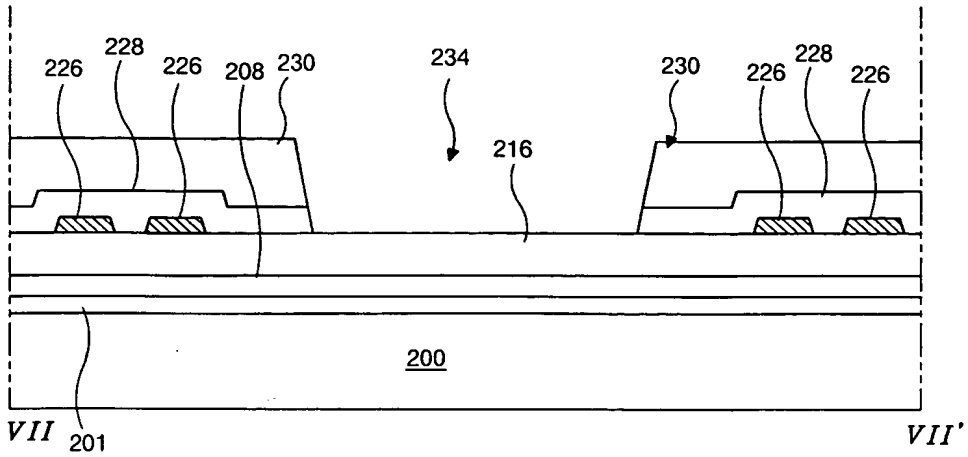
【도 15b】



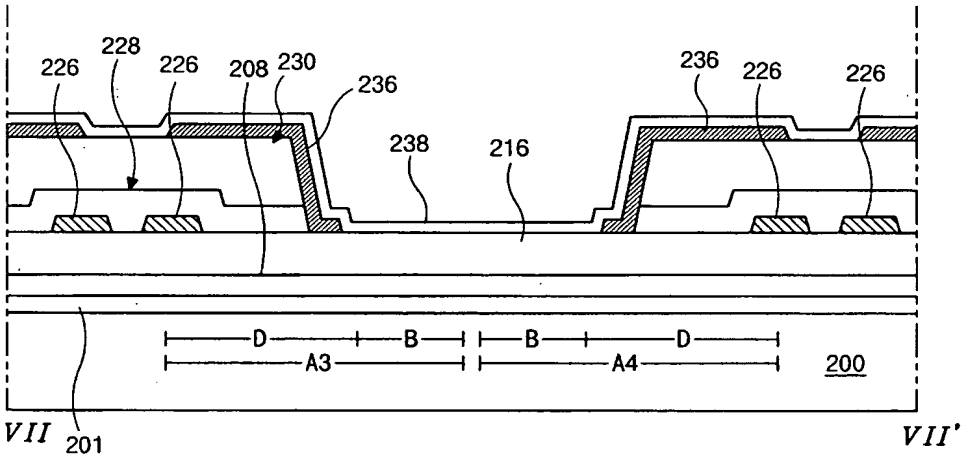
【도 15c】



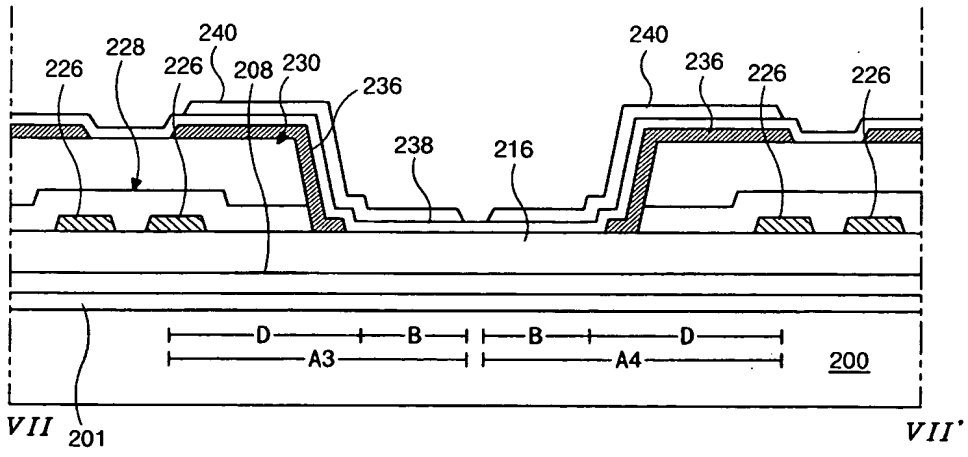
【도 15d】



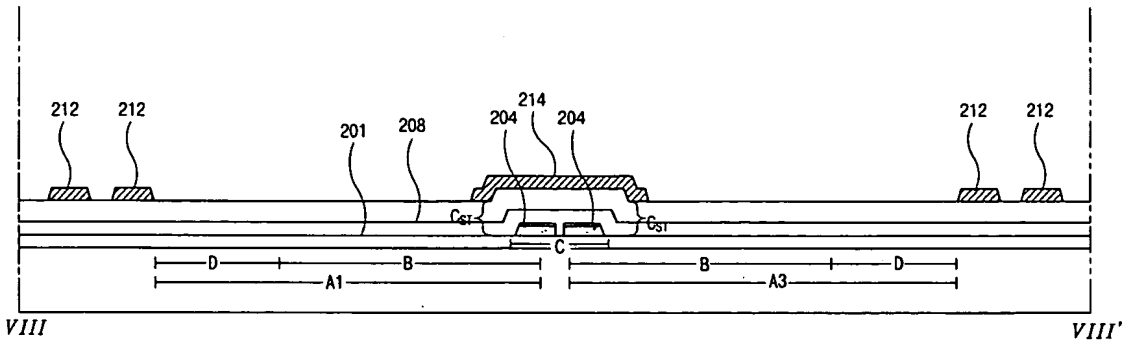
【도 15e】



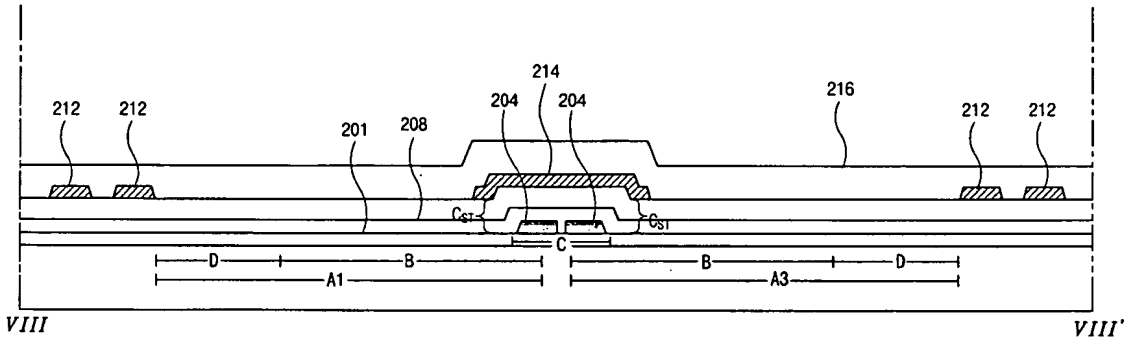
【도 15f】



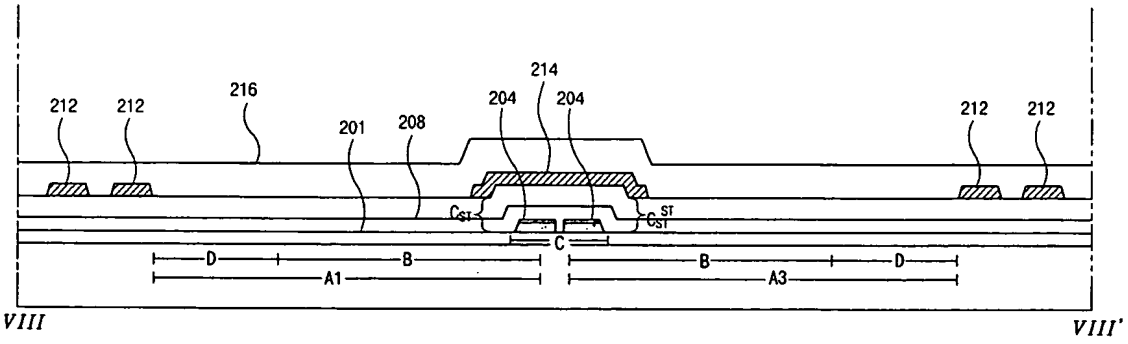
【도 16a】



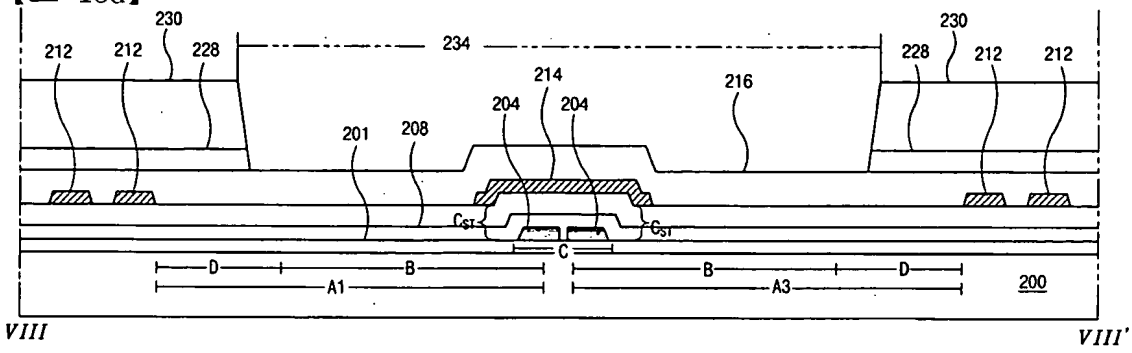
【도 16b】



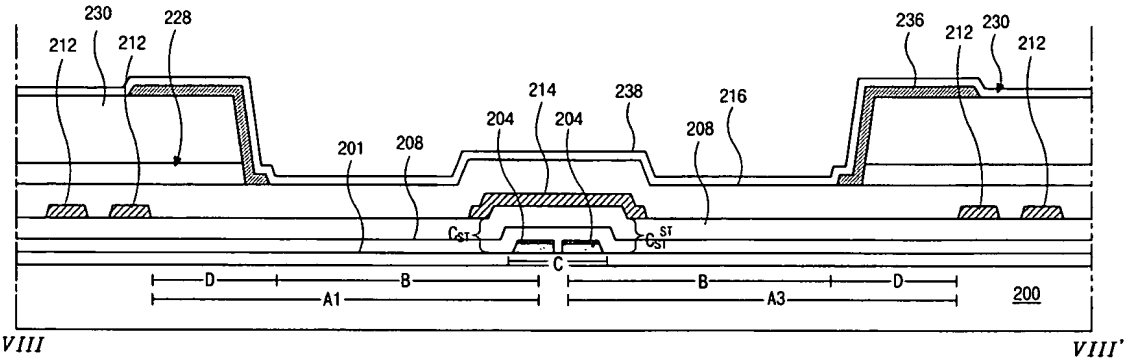
【도 16c】



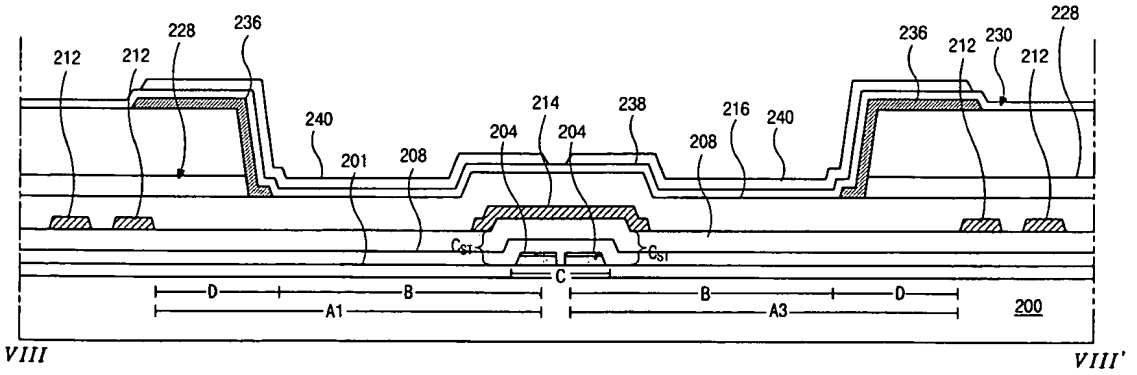
【도 16d】



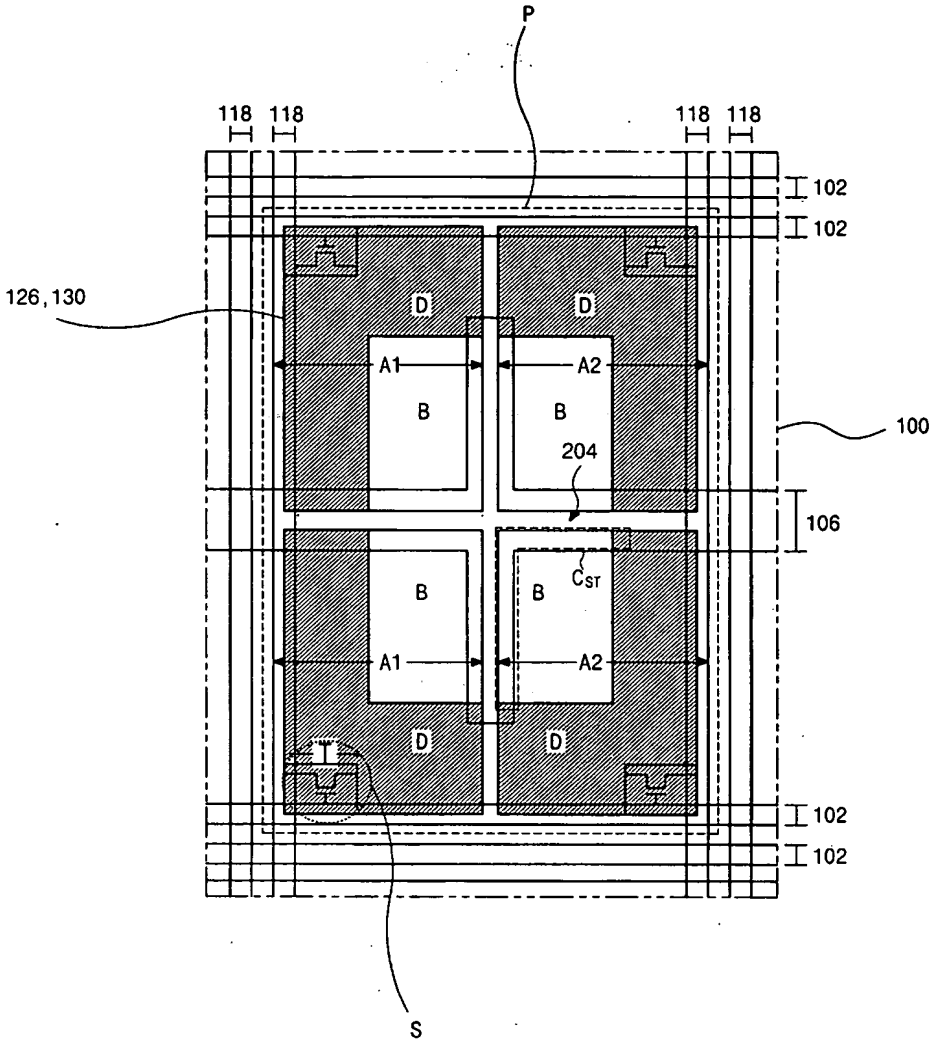
【도 16e】



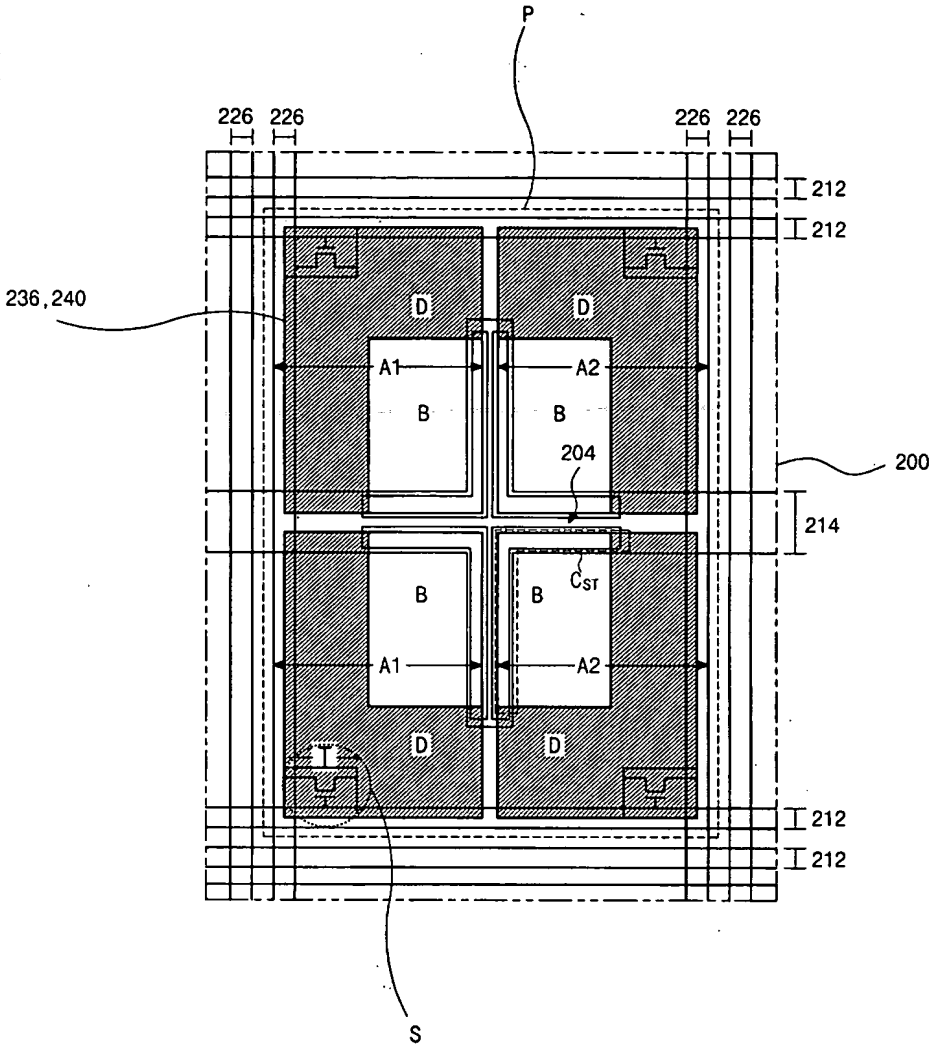
【도 16f】



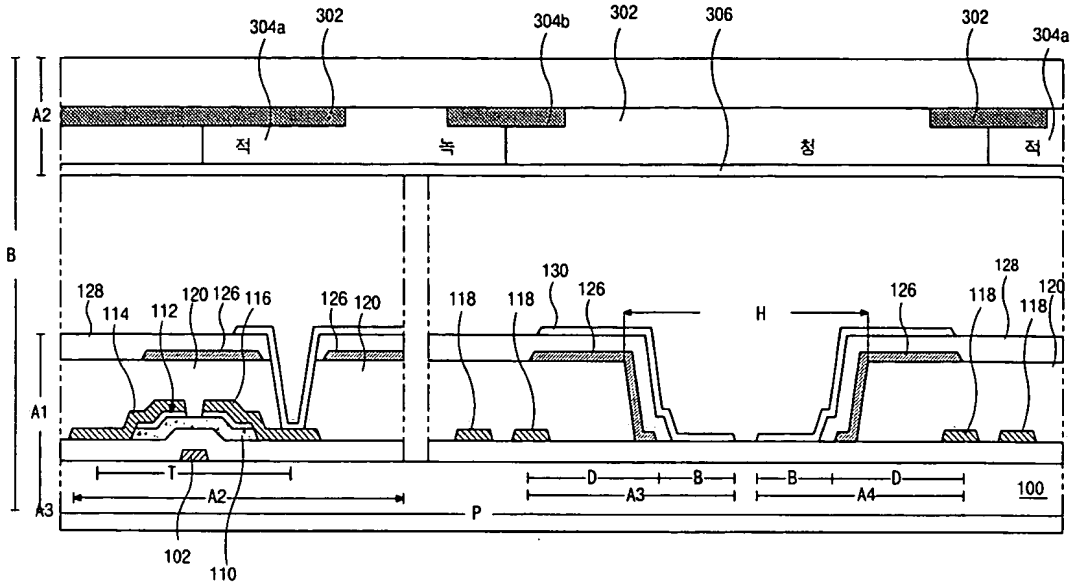
【도 17】


P
118
118
118
118
102
102
126,130
D
D
A1
A2
B
B
100
204
106
B
B
C_{ST}
A1
A2
D
D
102
102
S

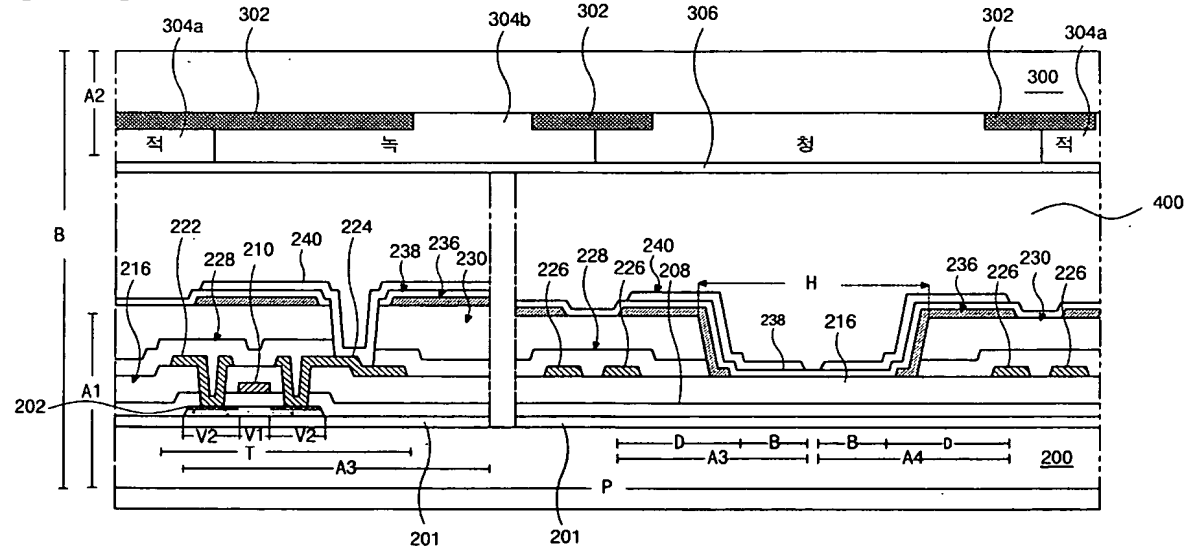
【도 18】


P
226
226
226
226
212
212
236,240
D
D
A1
A2
B
B
204
200
214
B
B
C_{ST}
A1
A2
D
D
212
212
S

【도 19】


304a
302
304b
302
306
302
304a
A2
적
녹
청
적
B
128
114
112
120
126
116
126
120
130
118
118
126
H
126
128
118
120
118
A1
T
D
B
B
D
A2
A3
A3
A4
100
P
102
110

【도 20】


304a
302
304b
302
306
302
304a
300
A2
적
녹
청
적
400
B
222
216
228
210
240
224
238
236
230
226
228
226
240
208
H
236
226
230
226
238
216
A1
202
V2
V1
V2
T
A3
D
B
B
D
A3
A4
200
P
201
201